

R16

R16 PCB Checklist

版本历史

[illegible]

目录

- R76..... 1
- R16 PCB Checklist..... 1
 - 1. CPU&BESIDE CPU..... 3
 - 2. DRAM..... 3
 - 3. PMIC..... 4
 - 4. Audio（直驱） 8
 - 5. Audio（交驱） 13
 - 6. ESD..... 18
 - 7. DISPLAY TP & CAMERA..... 19
 - 8. CAMERA..... 19
 - 9. NAND_eMMC..... 20
 - 10. TCARD..... 20
 - 11. USB..... 20
 - 12. SENSOR..... 21
 - 13. OTHERS..... 21
 - 14. WIFI & BT..... 22
 - 15. MODEM..... 22
 - 16. Thermal Design..... 23
 - 17. Declaration..... 27

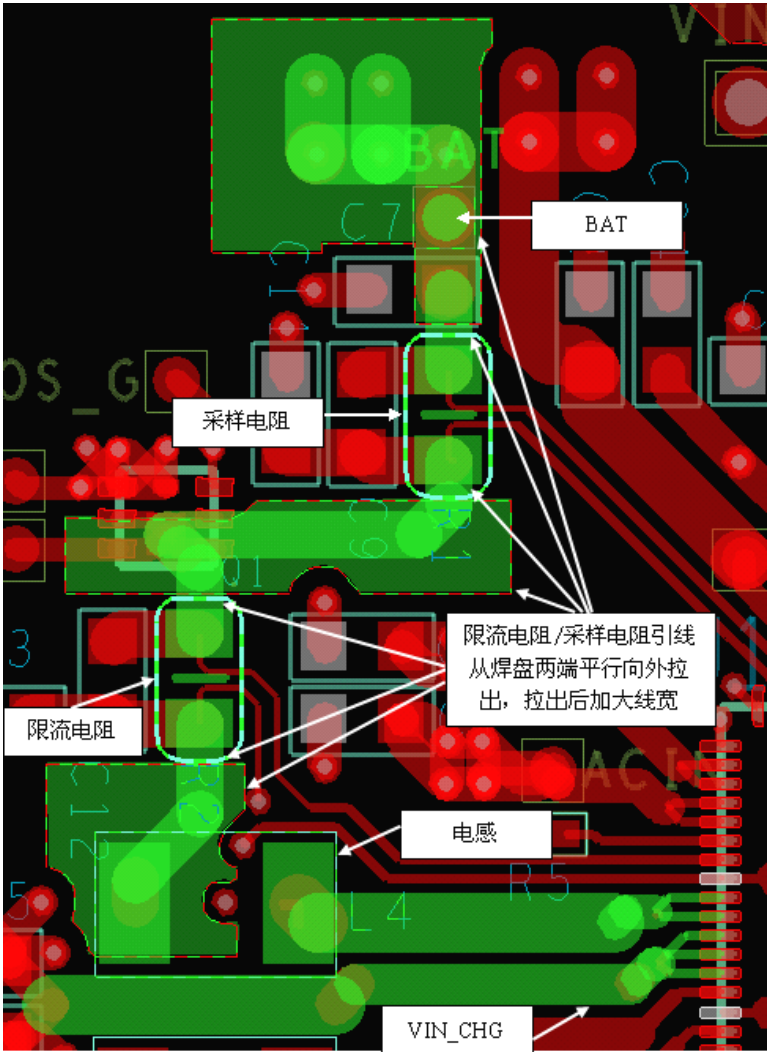
1. CPU&BESIDE CPU

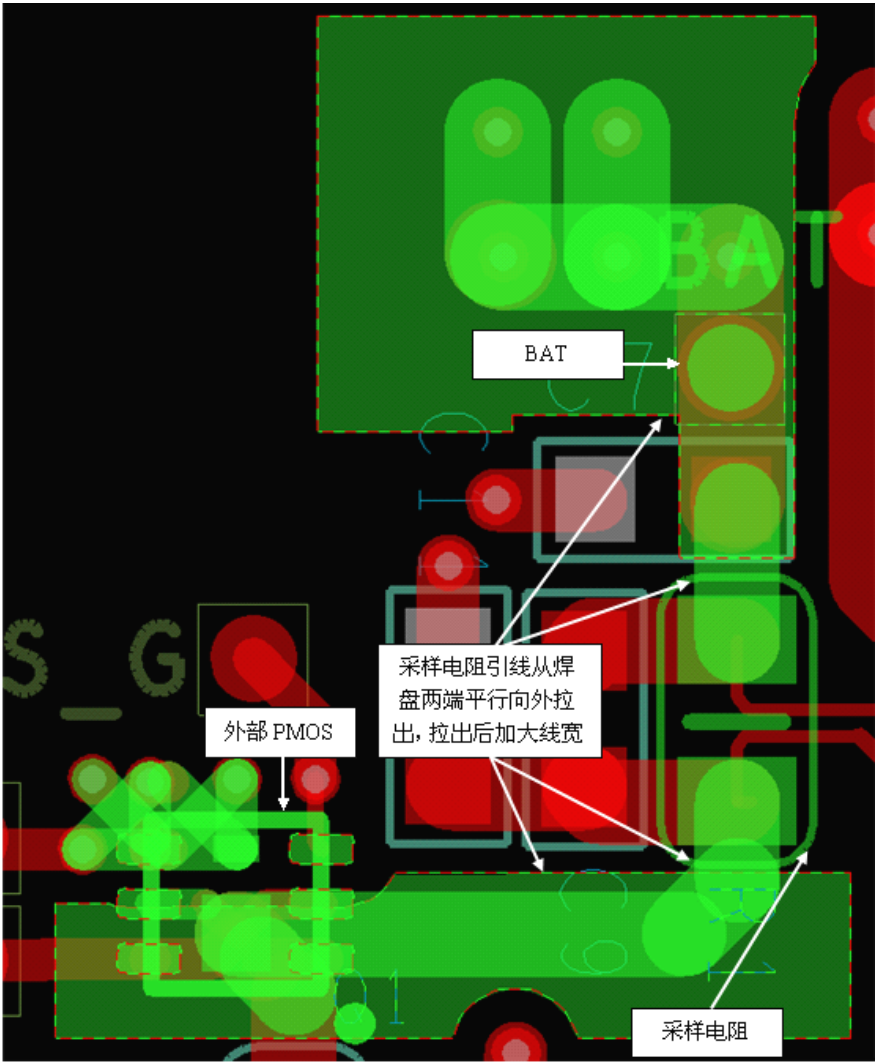
	CPU&Beside CPU	备注
PCB	注意 PCB 的叠层结构是否合理，如 CPU 放在 L1层，那么 L2层必须定义为 GND 层。	
	主控底部电源和 GND 条件允许建议一个 BALL 一个过孔，至少满足两个 BALL 一个过孔。	
	24MHz 晶体下方，表层及第二层禁止其他网络走线，GND PAD 通过过孔到主地，时钟线走类差分线到 AP，晶振区域需包地。建议使用4脚带屏蔽壳的晶振。	
	32.768KHz 晶体，若使用圆柱体封装，金属外壳请接地	
	每个去耦电容的电源和地都有独立接电源的过孔和接地的过孔	
Place ment	所有电源滤波电容，请尽量靠近对应 BGA BALL 放置。单面摆件时，电容距离 AP 按从小到大排布，尽量靠近 AP。如有条件，放在 AP 的背面。	
	晶体的应匹配电容，尽量靠近晶体摆放。晶体尽量靠近 IC 摆放，避免晶体走线过长。	

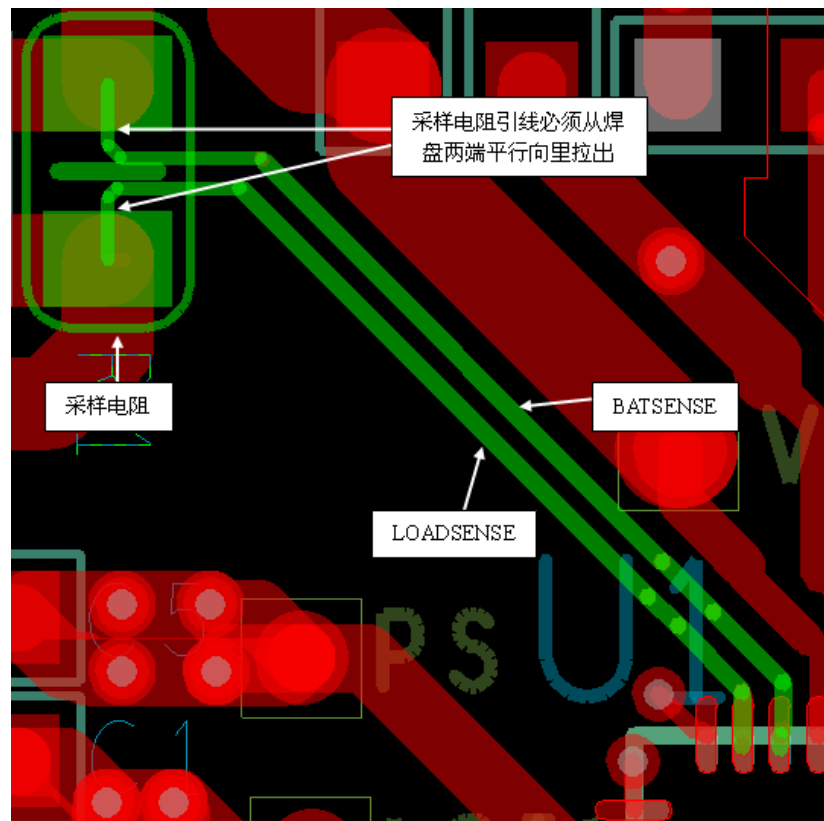
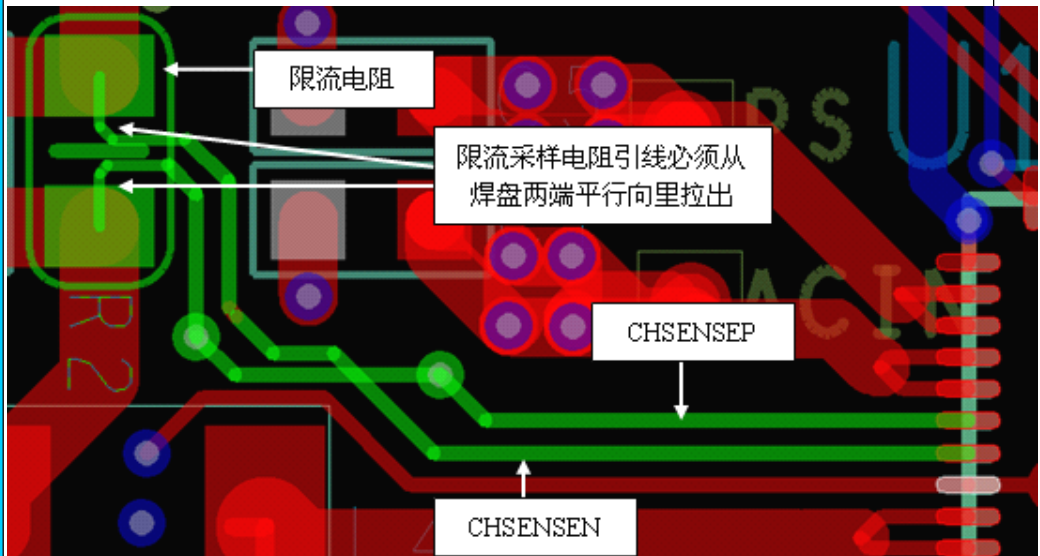
2. DRAM

	DRAM	备注
PCB	LAYOUT 注意事项请参考 DDR 模板及模板中的 DDR Layout checklist	
	参考层要求——不能有信号线的参考层被割断的现象，尽量少出现连续的过孔打断信号线的参考层	
Place ment	主控和 DRAM 端 VCC-DRAM 去耦电容应靠近各自的 VCC-DRAM ball 摆放，如果 PCB 采用双面贴，则将去耦电容摆放在各自 VCC-DRAM ball 的正下方	
	主控和 DRAM 端 Dvref 去耦电容靠近各自的 Dvref ball 摆放。	

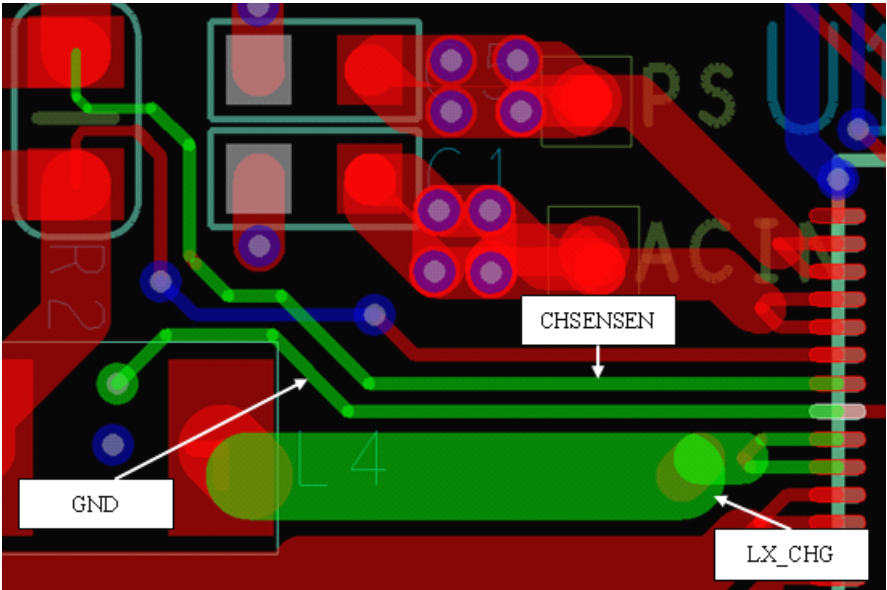
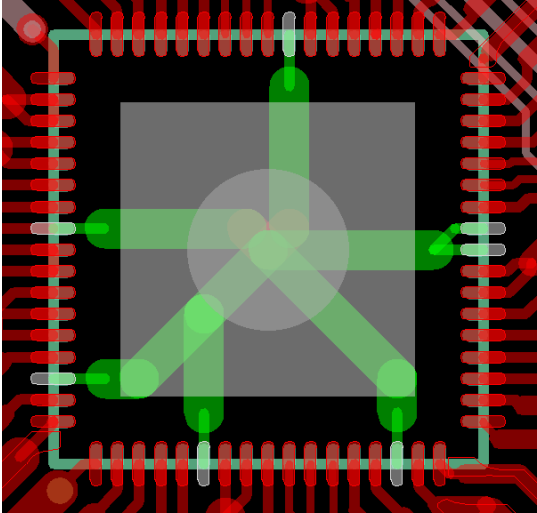
3. PMIC

	PMIC	备注
	DCDC1和 DCDC5除了做反馈用以外，还分别是 DC1SW 和 DC5LDO 的供电，注意 DCDC1和 DCDC5反馈线线宽 $\geq 30\text{mil}$.	
	充电电路 layout 注意事项，整个通路尽量短，距离 $<1000\text{mil}$.	
	为了提高电流检测精度，PCB Layout 必须注意以下几点：	
	1、BAT 充电路径为 PS->VIN_CHG->LX_CHG->电感->限流电阻->采样电阻->BAT，走线线宽 $\geq 60\text{mil}$ ；限流电阻/采样电阻的引线必须从焊盘两端平行向外拉出，用20mil 从电阻焊盘引出，之后再加大线宽到 $>60\text{mil}$ ；而且保证电池尽量靠近 PMIC，如下图所示：	
		
	2、BAT 放电路径为 VBT->采样电阻->外部 PMOS->PS，走线线宽 $\geq 60\text{mil}$ ；采样电阻的引线必须从焊盘两端平行向外拉出；先用40mil 从电阻焊盘引出，之后再加大线宽到 $>60\text{mil}$ ；如下图所示：	

		
	<p>3、BATSENSE、LOADSENSE 与采样电阻间的走线采用6-10mil，CHSENSEN、CHSENSEP 与限流电阻间的走线采用6-10mil；采样电阻/限流电阻的引线必须从焊盘两端平行向外拉出，如下图所示：</p>	

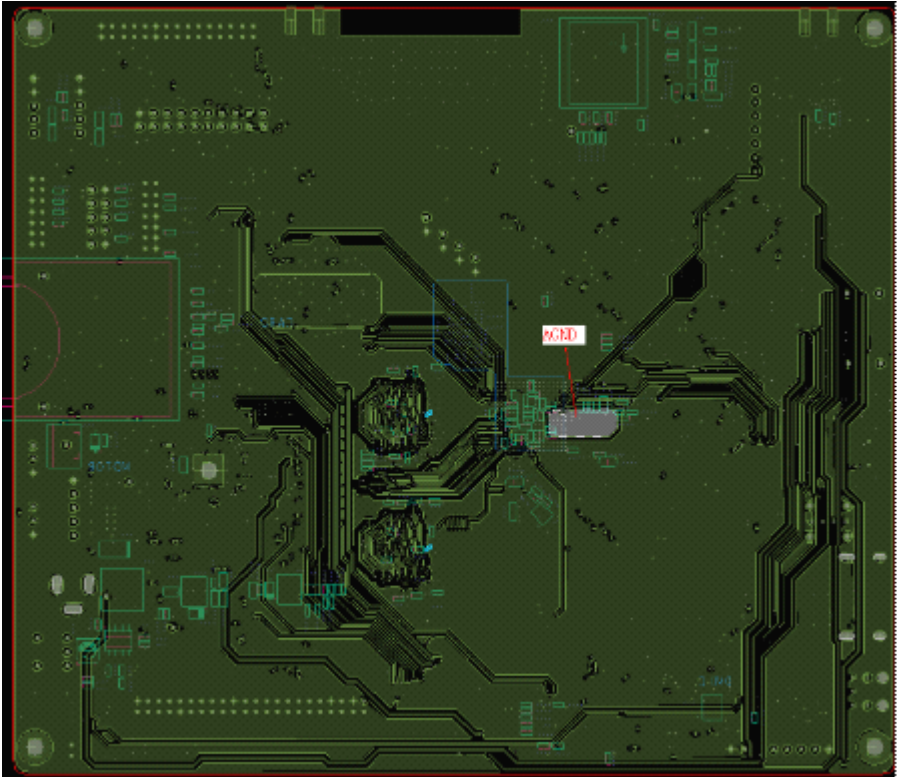


4、CHSENSEN 要避免受到 LX_CHG 干扰,必须通过地线作隔离,如下图所示:

		
	<p>为了减少干扰，必须将地层紧邻摆放 PMIC 器件的层摆放，如 PMIC 及电感器件放在顶层，则地层应该放在第二层.</p>	
	<p>DCDC 和 charger 的输入端 VIN1-VIN5和 VIN_CHG 的输入滤波电容应尽量靠近输入 Pin 脚，输入通路最好先经过电容后进 Pin 脚，以达到更好的滤波效果。</p>	
	<p>DCDC 以及 VBAT-EXT 几路大电流电源如果采用铺铜方式到各供电 IC 则需在输出滤波电容附近打过孔到相应的电源层，10/16mil 过孔数量不得少于5个.</p>	
	<p>USBVBUS、ACIN 的线宽>100mil</p>	
	<p>PS、VDD-SYS、VDD-CPU、VCC-DRAM 及相应的 LX 和 VIN 的线宽>=100mil,VCC-3V0根据负载电流决定(建议40mil 以上)。</p>	
	<p>LDO 输入线宽>=60mil,输出线宽根据负载电流决定(建议20mil 以上)。</p>	
	<p>地线连接到 PMIC 底部的 PAD 时，可用较细线从 Pin 脚引出，然后再改成粗线，如下图：</p>	
		
	<p>PMIC 底层地平面处理：给底层尽量完整的地平面，面积尽量预留 10*10mm²，能更有效的解决散热问题。如 PMIC 放在 TOP 层，那么在</p>	

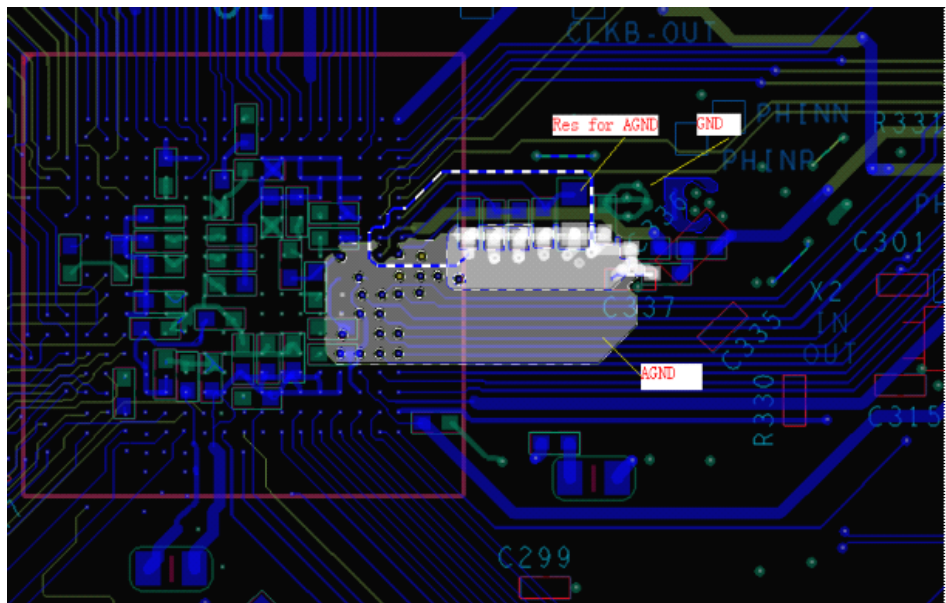
	Bottom 层预留一块10*10mm2的铜皮。	
Place ment	电池放置位置尽量靠近电池连接点，尽量减小连接线的长度，并使用较粗的连接线，以减小连接线内阻和压降。	
	VREF 的电容要尽量靠近 Pin 脚，接地点尽量远离 DCDC，避免干扰。	
	电感 L1-L5靠近相应的 LX 引脚摆放。	
	DCDC 的输出滤波电容靠近电感 L1-L5摆放。	
	LDO 的输出电容靠近各自的输出引脚摆放。	
	采样电阻和限流电阻的滤波电容分别与采样电阻和限流电阻并行靠近摆放。	

4. Audio（直驱）

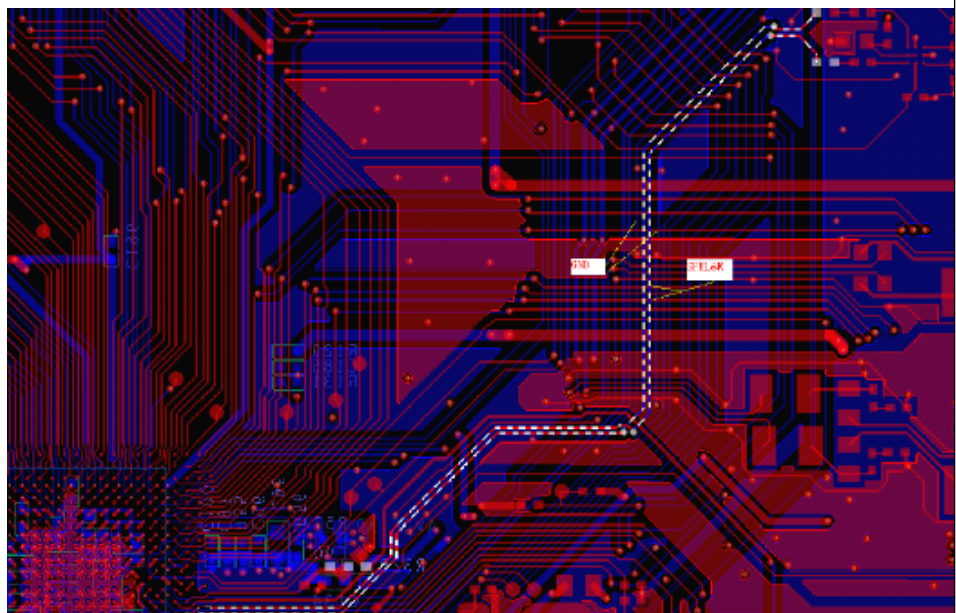
PCB	AGND 在 pin 脚打孔到内层铺铜，宽度大于150mil，覆盖 VRA1, VRA2, VRP 以及 AVCC 下地电容，上述几个电容过孔到内层连接 AGND。	
		

AGND 下地0R 电阻靠近 AGND 放置，两者连接到 GND 的过孔大于3个。

VRA1、VRA2和 VRP 从 IC Ba11 出来的走线用 AGND 包住。



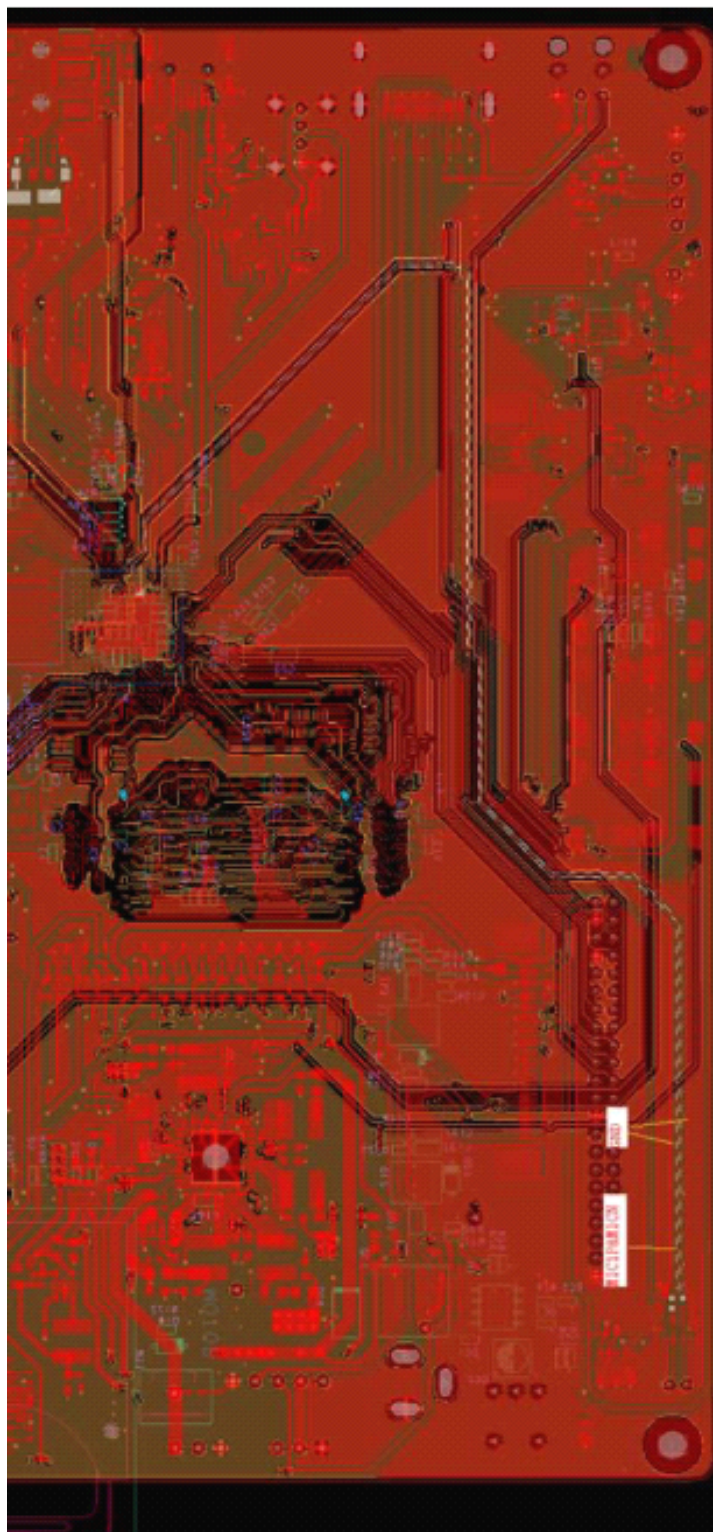
SPKL/R 走差分，走线用 GND 包住。



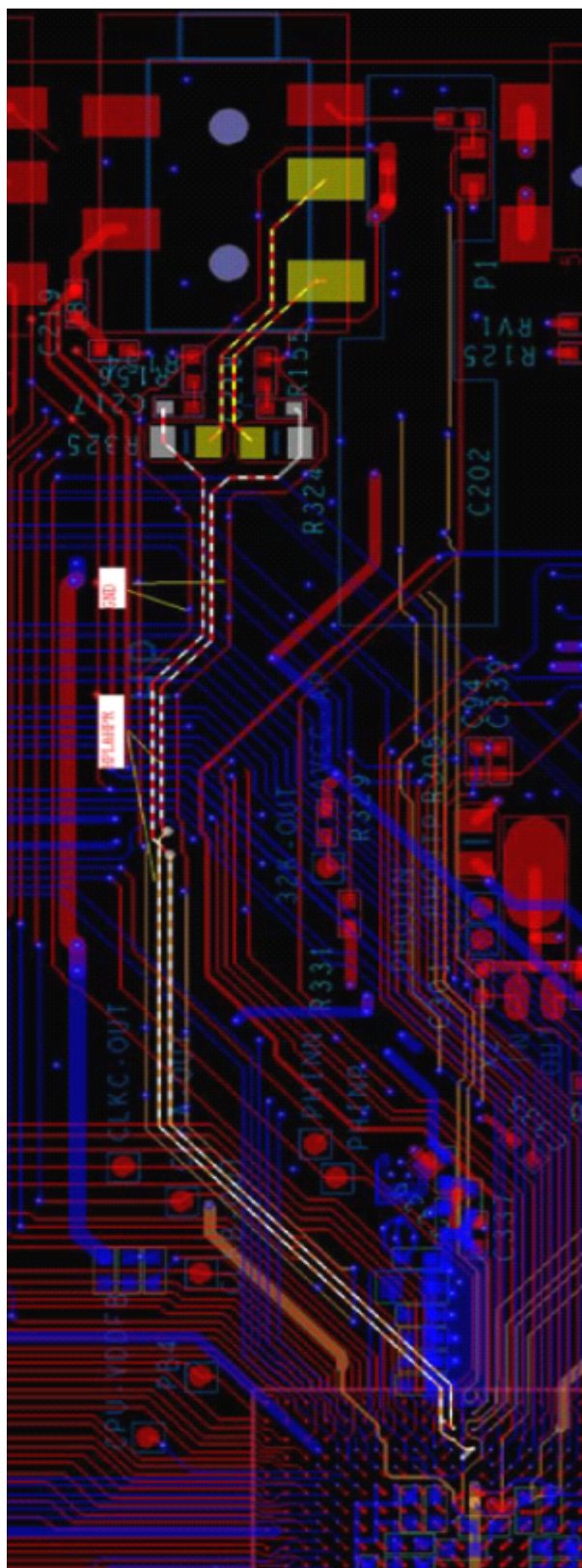
SPEAKER AMP 的电源走线宽度 $\geq 25\text{mil}$ 。

	<p>1、远离高速信号线，如 LCD、DRAM。禁止在高速信号线相邻层走线，且禁止在高速信号线附近打孔换层；走线不要穿过电感区域。</p> <p>2、远离 LCD 背光部分，注意减小背光部分的 EMI；</p>	
	<p>HPCOM 和 HPCOMFB 在耳机座分开，走类差分线回到主控，用 GND 包住。</p>	

MIC₇P₇N 走差分，走线用 GND 包住。



HPL 和 HPR 走线用 GND 包住。

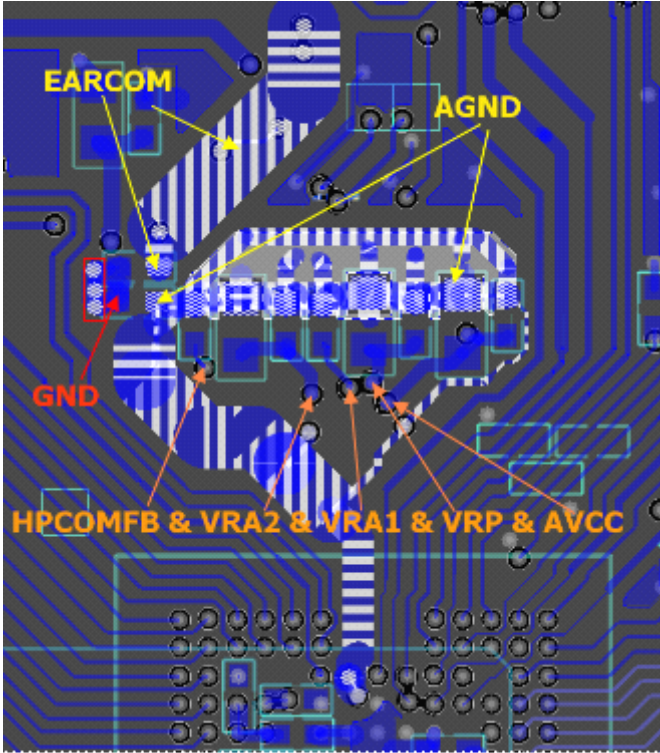


Place

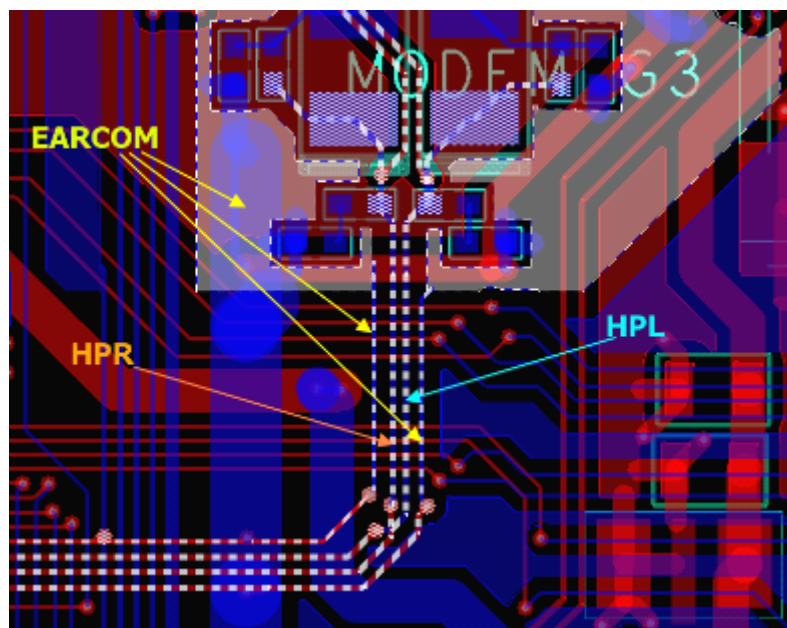
AVCC、VRP、VRA₁和VRA₂下地电容、电阻依次靠近主控摆放。

ment	MIC 摆放位置远离 ($\geq 200\text{mil}$) RF、PA。	
------	--	--

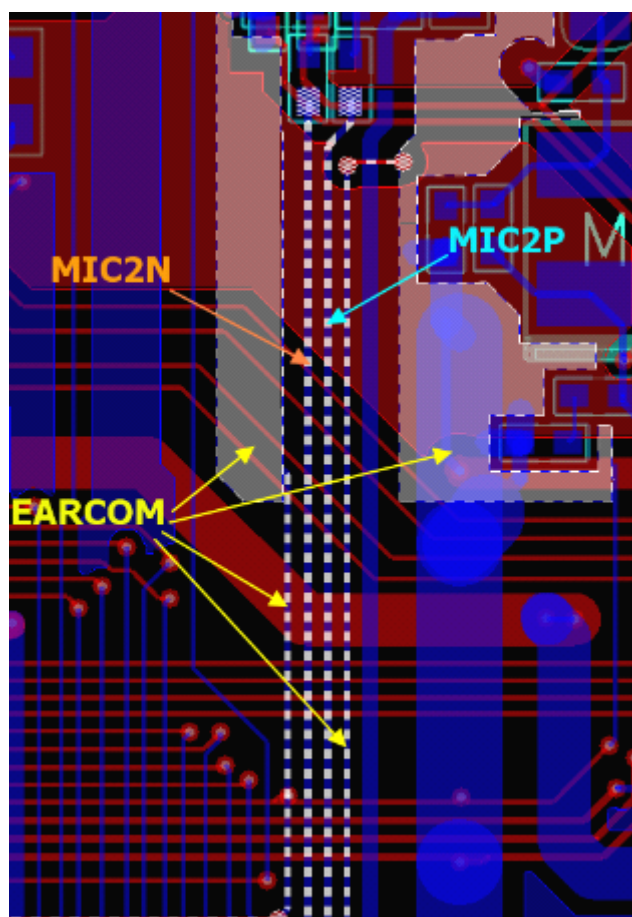
5. Audio（交驱）

	项目	备注
	<p>VRA1、VRA2、VRP、AVCC 和 HPCOMFB 从 IC Ba11 出来的走线用 AGND 包住。</p> <p>AGND 下地OR 电阻与 EARCOM 下地OR 电阻靠近 AGND 放置，两者连接到 GND 的过孔大于3个，如红色线框所示。</p> 	

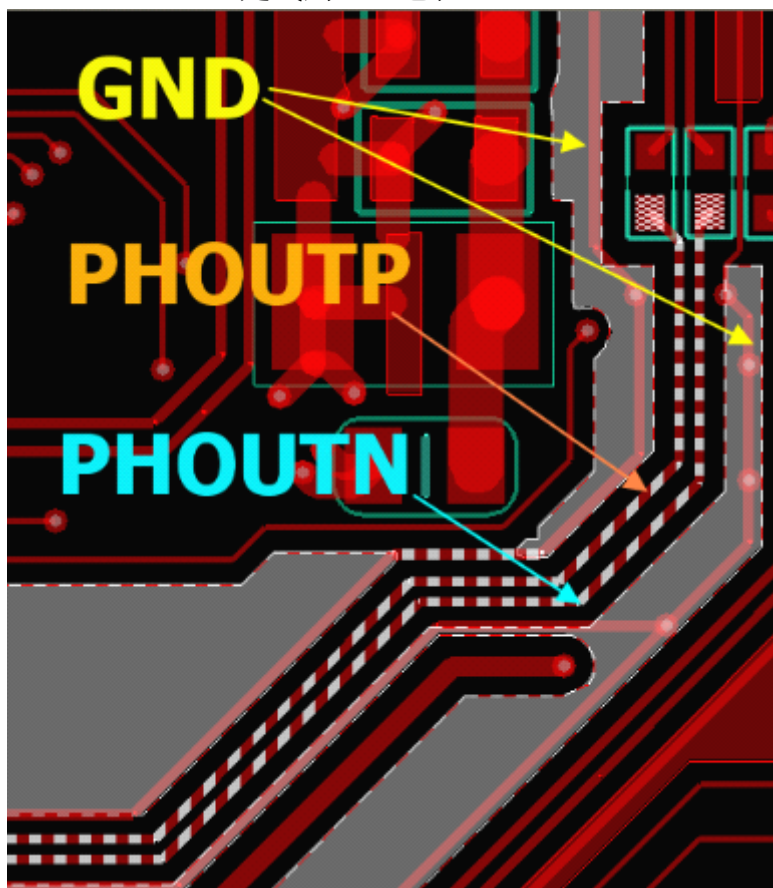
HPL、HPR 走线用 EARCOM 包住。



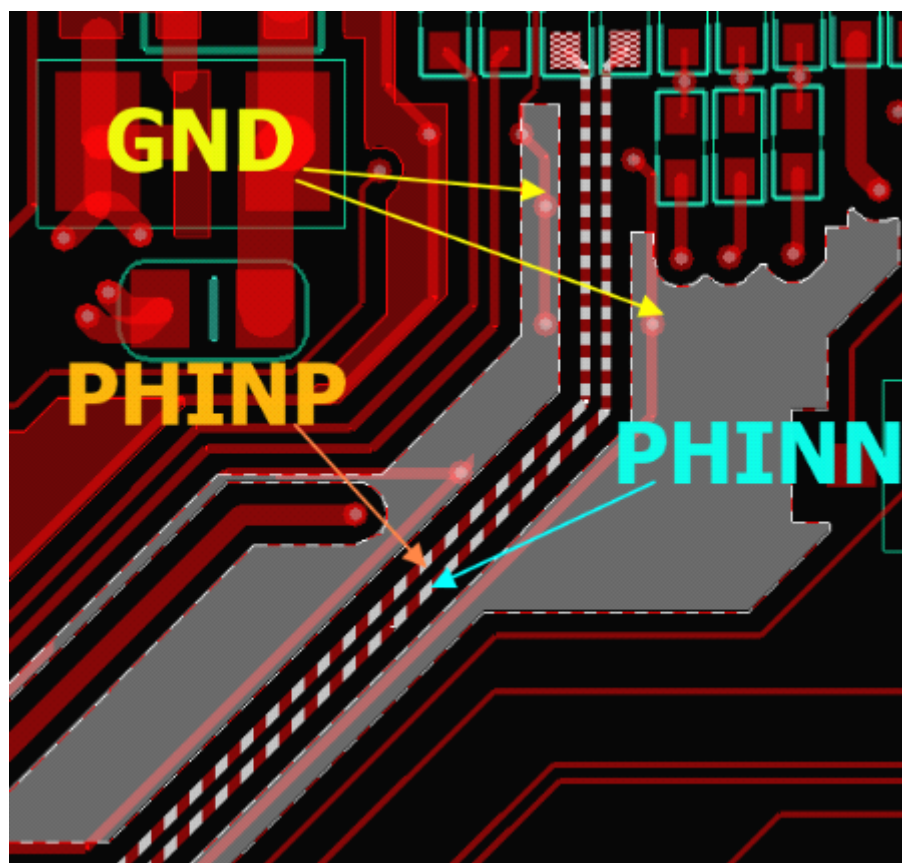
MIC2P/N 走差分，走线用 EARCOM 包住。



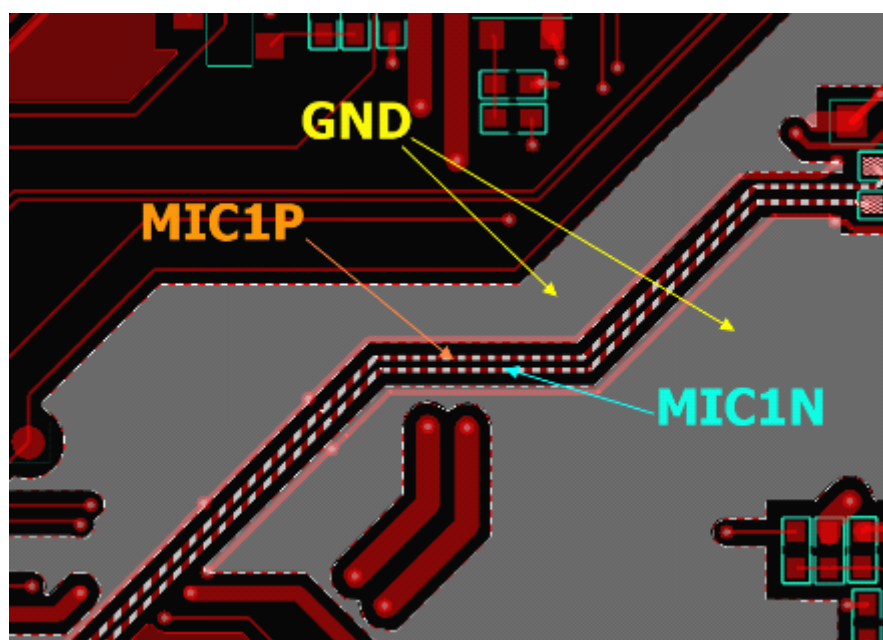
PHOUTN、PHOUTP 走线用 GND 包住。

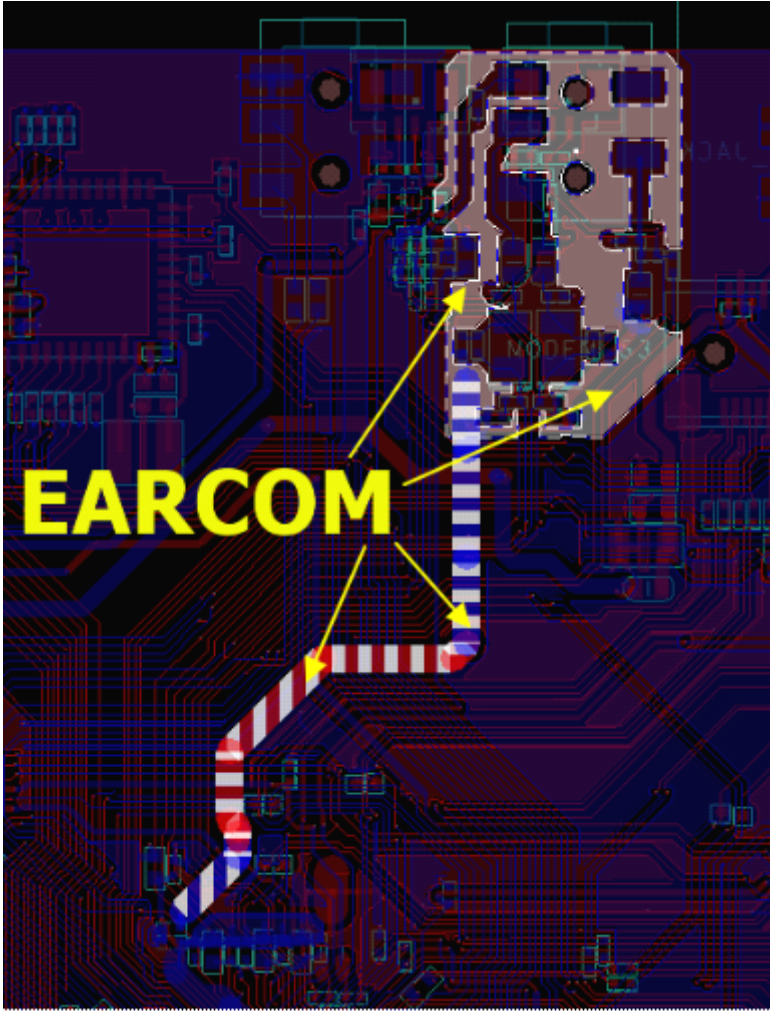


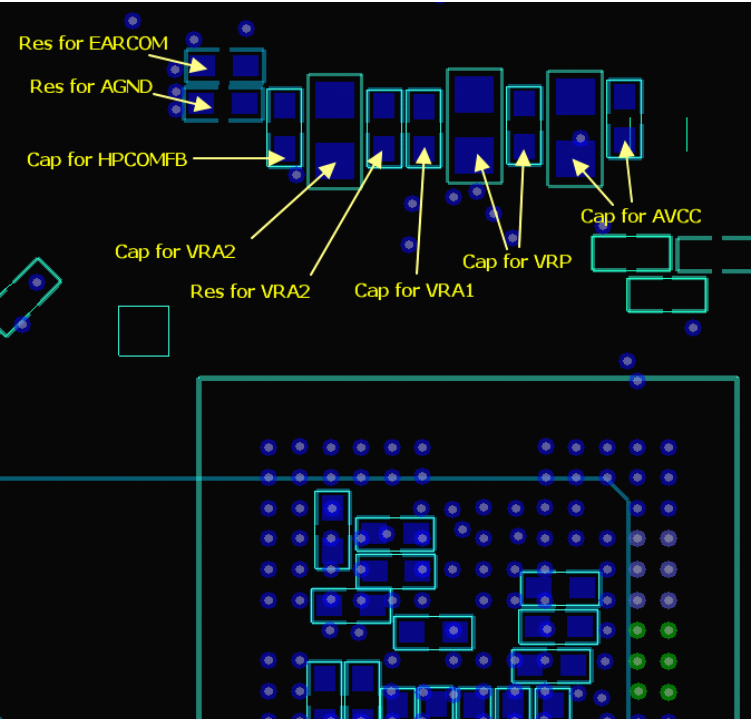
PHINN、PHINP 走线用 GND 包住。



MIC1P/N 走差分，走线用 GND 包住。



	<p>EARCOM 走不小于30mil 线回主控端。</p> 	
	<p>SPEAKER AMP 的电源走线宽度$\geq 25\text{mil}$。</p> <p>音频走线要远离高速信号线，如 LCD（注意减小背光部分的 EMI，屏的外壳要接地）、DRAM，并且禁止在高速信号线附近打孔换层。</p>	

Place ment	AVCC、VRP、VRA1、VRA2和 HPCOMFB 下地电容、电阻依次靠近主控摆放。	
		
	MIC 摆放位置远离 ($\geq 200\text{mil}$) RF、PA。	

6. ESD

	ESD	备注
PCB	ESD 器件接地必须直接打过孔接到中间层主地	
	接口信号线要先进入 ESD，此段走线宽度建议20mil，走线尽量短，再从 ESD 的焊盘拉出到主控。	
	接插件附近的铜皮尽量做阻焊开窗，可以使用导电棉把电荷导到屏或外壳上。	
	所有接插件周围要有完整的铜皮铺地，并且在接插件附件尽量多打些地孔。	
Place	ESD 器件必须靠近各个接口摆放，远离 AP	

ment		
------	--	--

7. DISPLAY TP & CAMERA

	DISPLAY&TP	备注
PCB	LVDS/MIPI 差分对信号线组内必须走100欧差分线, 有完整的参考面, 差分对信号线组内长度差建议控制在10mil 以内, 组间间距至少3W	
	CLK 线过孔数必须小于3个, CLK 线必须包地处理	
	背光的 FB 电阻要尽量靠近背光 IC, FB 电阻的走线回路尽量短	
Placement	RGB 信号线上的匹配电阻, 请靠近 LCM CONNECTOR 摆放	
	LCM 的去耦电容, 请靠近 LCM 电源 PIN 摆放	
	背光 IC 的去耦电容, 请靠近 IC 摆放	
	CTP 的去耦电容, 靠近 CTP 的 CONNECTOR 摆放	

8. CAMERA

	CAMERA	备注
PCB	PCLK 必须包地处理, MCLK 建议包地, 对于5M CAMERA, DATABUS 建议做等长300mil 处理。	
	CAMERA 的 FPC 需做好包地, 走线避免过长, 以防天线等辐射干扰, 走线过长信号衰减等问题。	
Placement	CAMERA 布局时需要远离大功率辐射器件, 如 GSM 天线等, 防止出现彩条, 花屏, 水波纹等干扰情况	
	保证 CAMERA 成像方向与屏的显示方向正确性, 切勿出现 CAMERA 成像与屏显示转90° 的情况。	

	AVDD-CSI/DOVDD-CSI/DVDD-CSI 回路去耦电容，都需要靠近 CAMERA CONNECTOR 摆放	
	DATA BUS/PLCK 串接的小电阻，需要靠近 CAMERA CONNECTOR 摆放，MCLK 串接的小电阻，靠近 AP 摆放	
	MCLK 回路上的 NC 电容，靠近 CONNECTOR 摆放，PCLK 回路上的 NC 电容，靠近 AP 摆放。	

9. NAND_eMMC

	NAND & eMMC	备注
PCB	NAND&eMMC 走线尽量与高频信号隔开，数据线分组走线，过孔控制在2个以内。	
	NAND&eMMC 数据线 D0-D7走线方向趋势保持一致 不允许出现过分散走线的方式。	
	eMMC-CLK 包地,eMMC 的 DATABUS 可不包地, 建议做等长300mil 处理。	
Place ment	电源去耦电容靠近相应的供电引脚摆放	
	eMMC CLK 上串的33欧电阻靠近 CPU 摆放，ND-RE 和 eMMC-CLK 走线请走 fly-by，不可出现分叉。	
	NAND & eMMC 距离主控不宜超过5cm	
	NAND & eMMC 建议重合摆放进行双 layout。	

10. TCARD

	T-CARD	备注
PCB	CLK 走线包地处理	
	DATA 线走线方向需要一致，不允许出现走线过于分散的情况。DATA BUS 走线可以不包地，但是注意远离高速干扰信号	
Place	CARD 的去耦电容靠近 SOCKET 摆放	

ment	TVS 器件靠近 SOCKET 摆放	
------	--------------------	--

11. USB

	USB	备注
PCB	D+/D-信号线走差分，差分对阻抗为90欧姆，包地保护处理，远离其他高速，大电流走线，避免干扰，建议有完整参考平面	
	D+/D-信号走线尽量避免多次换层打过孔，过孔控制在2个以内为宜。	
	USB-5V 电压到 USB SOCKET VBUS PIN 回路，电流最高可达1A，线宽需要控制在80mil 以上。	
Place ment	5V-DCDC 的去耦电容和滤波电容，需要靠近 IC 摆放	
	USB SOCKET 的去耦电容，靠近 SOCKET 的 VBUS PIN 摆放	
	为了获得较好的 ESD 防护能力，TVS 器件需要靠近 USB SOCKET 摆放。	

12. SENSOR

	SENSOR	备注
PCB		
Place ment	SENSOR 去耦电容靠近 IC 摆放。	
	地磁传感器需要远离强磁场，易磁化器件，大电流器件等，如听筒，喇叭，马达，摄像头，螺丝钉，大电感与大电容等。同时不能放在屏蔽罩内。可参考 COMPASS 提供的 LAYOUT GUIDE	
	G-SENSOR 布局，1脚位置建议放置在产品正视图左下角位置，可以方便软件调试。	

--	--	--

13. OTHERS

	OTHERS	备注
PCB	MOTO 回路线宽必须在15mil 或以上	
Place ment		

14. WIFI & BT

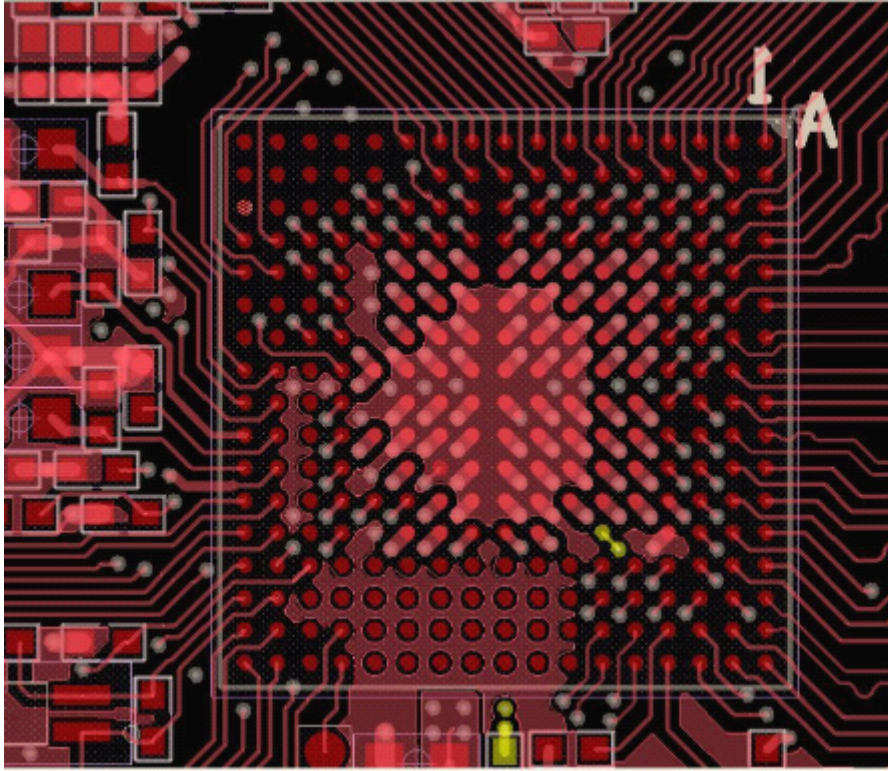
	WIFI&BT	备注
PCB	天线输入/输出端口走线50欧，隔层参考地，周围净空包地，包地直接多个过孔连接主地，不允许与其他信号线或电源有交叉	
	如使用 PCB 走线作天线，请确保天线部分走线下地完全镂空，净空区域大于50mm ²	
	如使用外接天线，天线馈线不可跨越 PCB 板上的信号线，馈线长度建议小于7cm	
	射频走线不允许有分叉，转向须走弧形，禁止有过孔。	
	WIFI 天线走线请遵循3W 法则，对于4层通孔板，板厚0.8mm/1.0mm，实现50欧姆阻抗存在困难情况下，参考邻层，线宽请走10~20mil 为宜，不宜为了达成50欧姆阻抗，而把走线线宽走得过细。	
	SDIO 接口速度较高，DATA 线、CMD 与 CLK 线，请做100mil 等长处理。避免靠近电源线和其它高速信号线，CLK 走线包地处理	
	USB 走90欧差分线，保持良好屏蔽，有完整参考平面，过孔控制在2个以内为宜，包地处理。	
	请参考模组 layout guide，按照1mm 走线宽度走1A 电流计算电源走线宽度	

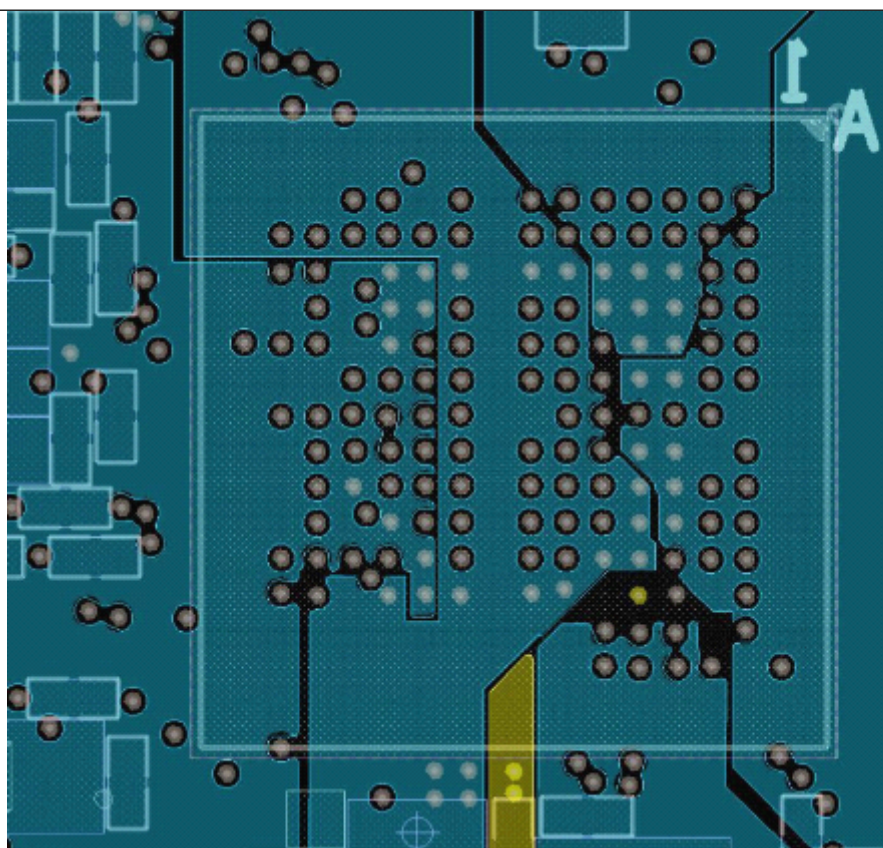
Place ment	整个模组尽量靠近天线布局，射频走线越短越好	
	去耦电容靠近模组各个电源 pin 脚摆放	
	模块远离其他高速信号和电源的干扰，并用完整的地包围	
	天线本体至少距周围的金属1CM 以上	

15. MODEM

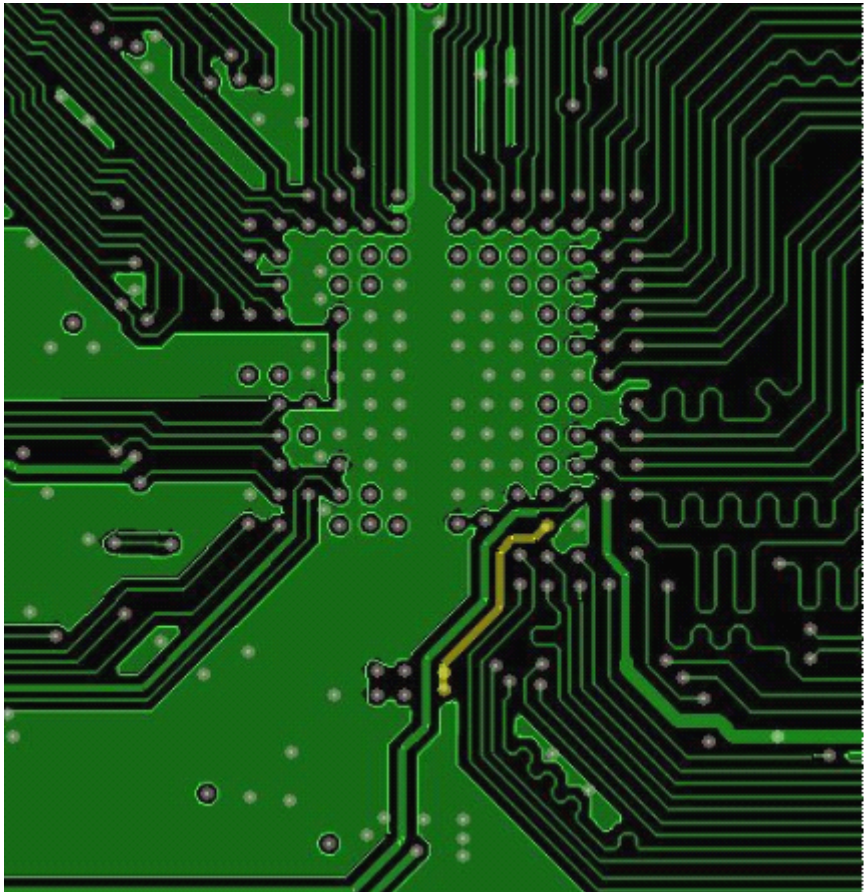
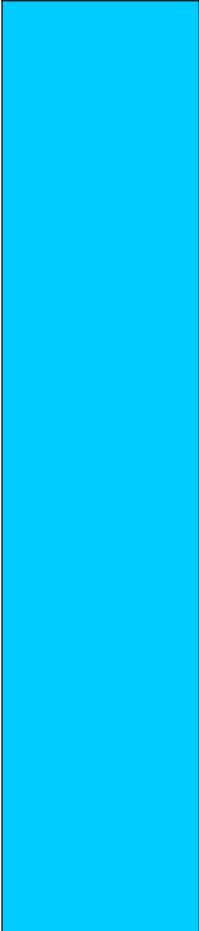
	MODEM	备注
PCB	天线输入/输出端口走线50欧，隔层参考地，周围净空包地直接多个过孔连接主地，走线遵循3W 法则，对于4层通孔板，板厚0.8mm/1.0mm，实现50欧姆阻抗存在困难情况下，参考邻层，线宽宜控制在10~20mil，不宜为了达成50欧姆阻抗，而把走线线宽走得过细。	
	音频走线请完整包地，远离模组的天线和射频走线	
	射频走线不允许有分叉，转向须走弧形，禁止有过孔。	
	3G 供电必须由 VBAT-EXT 提供，3G 瞬间电流达到3A, 走线线宽 >150mil。	
	请参考模组 layout guide，按照1mm 走线宽度走1A 电流计算电源走线宽度	
Place ment	整个模组尽量靠近天线布局，射频走线越短越好	
	射频走线及天线区域必须远离连接器、FPC、LCD 背光电路、马达、SPEAKER 等易产生干扰的器件	
	模块远离其他高速信号和电源的干扰，并用完整的地包围	
	去耦电容靠近模组各个电源 pin 脚摆放	
	天线本体至少距周围的金属1CM 以上	

16. Thermal Design

	Thermal Design	备注
PCB	TOP 层主控下面做铺铜处理，优化走线，尽量让铜皮从 BGA 区域内铺出去，通过周围铜皮散热	在工艺允许的情况下。如工艺达不到，请走“井”字型
	主控附近尽可能留空间以便散热，远离 PMU 等器件	
		
	主控中间尽可能多打 GND 过孔，电源布局要合理，电源层走线尽可能避开中间 GND 过孔，过多 GND 孔打断电源层，过孔间建议先用导线连接，形成网状连接后再铺铜。	



BOTTOM 层尽可能多铺铜，优化走线，尽可能让铜皮从 BOT 层铺出去通过周围铜皮散热，建议主控底部铜皮做阻焊开窗，必要时可以使用导电棉把热量导到屏上进行散热。



17. Declaration

This document is the original work and copyrighted property of Allwinner Technology (“Allwinner”). Reproduction in whole or in part must obtain the written approval of Allwinner and give clear acknowledgement to the copyright owner.

The information furnished by Allwinner is believed to be accurate and reliable. Allwinner reserves the right to make changes in circuit design and/or specifications at any time without notice. Allwinner does not assume any responsibility and liability for its use. Nor for any infringements of patents or other rights of the third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Allwinner. This datasheet neither states nor implies warranty of any kind, including fitness for any particular application.