



V853 硬件设计指南

版本号：1.0

发布时间：2022-06-25

版本历史

版本	日期	责任人	版本描述
1.0	2022-06-25	AWA0791	1.VDD-SYS 增加电压与 CPU/NPU 频率对应关系；
0.5	2022-06-10	AWA0791	1.MIC 预留电阻说明； 2.SPI 信号 WP/HOLD 信号上拉说明；
0.4	2022-06-10	AWA0791	1.CLKFANOUT 去掉上拉电阻说明； 2.VDD-SYS 电压增加说明需要参考《CPU/NPU 频率电压对应表》； 3.增加 PC/PF 口使用说明；
0.3	2022-05-24	AWA0791	1.增加 SOC 端电源质量要求； 2.增加内置 LDOA 使用说明； 3.增加 LDOA 外挂电容说明； 4.增加 GPIO 电源域说明； 5.增加 GPIO 内部上下拉电阻说明；
0.2	2022-03-28	AWA0791	1.根据评审意见修改
0.1	2022-03-14	AWA0791	1.初版

目录

版本历史.....	i
目录.....	ii
图片目录.....	v
表格目录.....	vii
1 前言.....	8
1.1 文档简介.....	8
1.2 目标读者.....	8
1.3 适用范围.....	8
1.4 文档约定.....	8
1.4.1 标志说明.....	8
1.4.2 地址与数据描述方法约定.....	8
1.4.3 数值单位约定.....	9
2 V853 IC 系列.....	10
3 原理图设计.....	11
3.1 方案概述.....	11
3.1.1 V853 芯片介绍.....	11
3.1.2 V853 方案介绍.....	12
3.2 小系统设计电路.....	13
3.2.1 时钟系统信号 PIN 说明.....	13
3.2.2 小系统配置 PIN 说明.....	13
3.2.3 时钟电路.....	14
3.2.3.1 主时钟电路.....	14
3.2.3.2 RTC 时钟电路.....	15
3.2.4 复位和中断电路.....	16
3.3 电源系统设计.....	17
3.3.1 V853 电源系统架构介绍.....	17
3.3.2 V853 上下电时序介绍.....	18
3.3.3 SOC 端电源质量要求.....	22
3.3.4 V853 SOC 电源电容设计.....	23
3.4 DRAM 设计.....	23
3.5 FLASH 设计.....	25
3.6 SD Card 电路设计.....	27
3.7 USB 电路设计.....	28

3.8 显示屏电路设计.....	29
3.9 触摸屏电路设计.....	31
3.10 摄像头电路设计.....	32
3.11 音频电路设计.....	34
3.12 ADC 电路设计.....	37
3.13 WiFi/BT 电路设计.....	38
3.14 UART.....	39
3.15 TWI.....	39
3.16 GPIO&特殊管脚说明.....	40
4 PCB 设计.....	42
4.1 叠层设计.....	42
4.2 SOC fanout.....	43
4.3 小系统 layout 建议.....	44
4.3.1 系统时钟 LAYOUT 设计.....	44
4.3.2 复位和系统配置 Layout 设计.....	44
4.3.3 SOC 电源 Layout 设计.....	45
4.4 电源 LAYOUT 设计.....	45
4.5 DRAM LAYOUT 设计.....	46
4.6 eMMC LAYOUT 设计.....	47
4.7 SD Card LAYOUT 设计.....	47
4.8 SDIO LAYOUT 设计.....	47
4.9 USB LAYOUT 设计.....	47
4.10 显示屏 LAYOUT 设计.....	48
4.10.1 RGB LAYOUT 设计.....	48
4.10.2 MIPI-DSI LAYOUT 设计.....	48
4.11 CSI LAYOUT 设计.....	49
4.12 音频 LAYOUT 设计.....	50
4.13 WiFi 和天线 LAYOUT 设计.....	51
5 EMC 设计.....	52
5.1 ESD 设计.....	52
5.1.1 原理图 ESD 设计.....	52
5.1.2 PCB ESD 设计.....	52
5.1.3 软件 ESD 措施.....	53
5.1.4 结构 ESD 措施.....	53

5.2 EMI 设计.....	54
6 热设计.....	55
6.1 热工作条件.....	55
6.2 散热设计参考.....	55
6.2.1 布局布线的热设计原则.....	55
6.2.2 散热器选择原则.....	56
6.2.3 导热介质材料选择原则.....	57
6.2.4 器件安装原则.....	57
6.3 功耗管理及散热建议.....	58



图片目录

图 3-1	芯片框图.....	11
图 3-2	V853 芯片 IPC 方案系统框图.....	12
图 3-3	主时钟电路.....	15
图 3-4	RTC 时钟电路.....	16
图 3-5	复位和中断电路.....	16
图 3-6	V853 Power Tree 设计.....	17
图 3-7	上电时序要求.....	20
图 3-8	下电时序要求.....	21
图 3-9	SYS 电源电容设计.....	23
图 3-10	DRAM 模块电路设计.....	24
图 3-11	eMMC 参考设计.....	25
图 3-12	SPI 参考设计.....	26
图 3-13	SD CARD 参考设计.....	27
图 3-14	USB 参考设计.....	28
图 3-15	背光电路参考设计.....	29
图 3-16	RGB 各种类型接口 mapping 关系.....	30
图 3-17	8bit CPU 屏（带 TE 信号）参考设计.....	31
图 3-18	并口 CSI 参考设计.....	32
图 3-19	MIPI CSI 参考设计.....	33
图 3-20	SOC 端音频部分设计.....	34
图 3-21	MIC 参考设计.....	35
图 3-22	喇叭参考设计.....	36
图 3-23	LINE IN 参考设计.....	36
图 3-24	按键参考设计.....	37
图 3-25	电池电压检测电路参考设计.....	38
图 3-26	32K fanout 参考设计.....	38
图 4-1	4 层板厚 0.8~1.6mm 叠层参考设计.....	42
图 4-2	6 层板厚 1.6mm 叠层参考设计.....	42
图 4-3	SOC 4 层板 fanout 示例	43
图 4-4	系统时钟走线 LAYOUT 参考.....	44
图 4-5	VDD-SYS/VCC-DRAM 电源走线参考	45
图 4-6	PMU 输入电容走线参考.....	45
图 4-7	BUCK DCDC 电流回路.....	46

图 4-8 USB 走线参考.....	48
图 4-9 AVCC/VAR1/VRA2/AGND 走线参考.....	50
图 4-10 WiFi 天线地回路 LAYOUT 参考.....	51
图 6-1 焊盘的隔热设计.....	56



表格目录

表 3-1 V853 系统硬件接口.....	12
表 3-2 时钟系统信号 PIN 说明.....	13
表 3-3 系统配置 PIN 说明.....	13
表 3-4 上电步骤.....	19
表 3-5 SOC 端电源质量要求.....	22
表 3-6 DRAM 模板信息.....	24
表 3-7 eMMC 上下拉匹配设计推荐.....	25
表 3-8 SPI 上下拉匹配设计推荐.....	26
表 3-9 CPU 屏控制信号接法说明.....	30
表 3-10 DBI 接口与 SPI1 复用关系.....	31
表 3-11 GPIO 电源域.....	40
表 3-12 GPIO 内部上下拉电阻.....	40
表 5-1 各模块主时钟频率.....	54
表 6-1 热阻参数.....	55
表 6-2 常用热界面材料参数表.....	57

1 前言

1.1 文档简介

本文档主要介绍 V853 芯片在 IPC/AIOT 应用方案设计中的原理图和 PCB 设计要点以及细则，旨在指导客户设计，提高产品设计的可靠性以及降低产品的设计成本，保证设计质量，帮助客户缩短产品量产周期。同时请使用全志科技发布的核心模块的模板，保证产品的性能和可靠性。

1.2 目标读者

本文档主要适用于：

- 硬件开发工程师
- 软件开发工程师
- 技术支持工程师

1.3 适用范围

V853 芯片搭配全志 AXP2101 电源方案在 IPC/AIOT 应用方案原理图和 PCB 设计。

1.4 文档约定

1.4.1 标志说明

本文档采用各种醒目的标志来表示在操作过程中应该特别注意的地方，这些标志的含义如下：

标识	说明
 注意	提醒操作中应注意的事项。不当的操作可能会损坏器件，影响可靠性、降低性能等。
 说明	为准确理解文中指令、正确实施操作而提供的补充或强调信息。

1.4.2 地址与数据描述方法约定

本文档在描述地址、数据时遵循如下约定：

符号	例子	说明
0x	0x0200, 0x79	地址或数据以 16 进制表示。
0b	0b010, 0b00 000 111	数据采用二进制表示(寄存器描述除外)。
X	00X, XX1	数据描述中，X 代表 0 或 1。 例如，00X 代表 000 或 001；XX1 代表 001, 011, 101 或 111。

1.4.3 数值单位约定

本文档在描述数据容量（如 NAND 容量）时，单位词头代表的是 1024 的倍数；描述频率、数据速率等时则代表的是 1000 的倍数。具体如下：

类型	符号	对应数值
数据容量（如 NAND 容量）	1 K	1024
	1 M	1 048 576
	1 G	1 073 741 824
频率，数据速率等	1 k	1000
	1 M	1 000 000
	1 G	1 000 000 000



2 V853 IC 系列

表 2-1 V853 IC 系列

Contents	V853	V853S
SDRAM	外挂 16bit DDR3	SIP 128MB DDR3L
CPU	ARM A7*1.2Ghz E907-600MHZ	ARM A7*1.1GHZ E907-600Mhz
NPU	1T	0.8T
Package	BGA318 12*12-0.5	BGA318 12*12-0.5
Ball U18	NC Ball	DDR3-SZQ1(需外挂 240R-1% 的电阻)
Ball Y5	SZQ(需外挂 240R-1%的电阻)	SZQ(需外挂 240R-1%的电阻)
Ball AC5, AA7, W7, W9, Y9, V11, W11, AA9, AB8, AB9, AC10, AC11, AA11, W13, Y13, AA13, AB13, W15, V15, AC13, AB11, AC14, AB15, AA15, AB12, AA17, AC16, AB17, AB16, AB18, AC17, Y19, W17, Y17, AC19, AB19, AC20, AA19, W20, AC22, W21, U19, W19, AB21, AB22, AA22, AB23	外挂 DDR3 DQ&SA	GND/NC
PCB FootPrint	BGA318P50B1200_1200H113	

3 原理图设计

3.1 方案概述

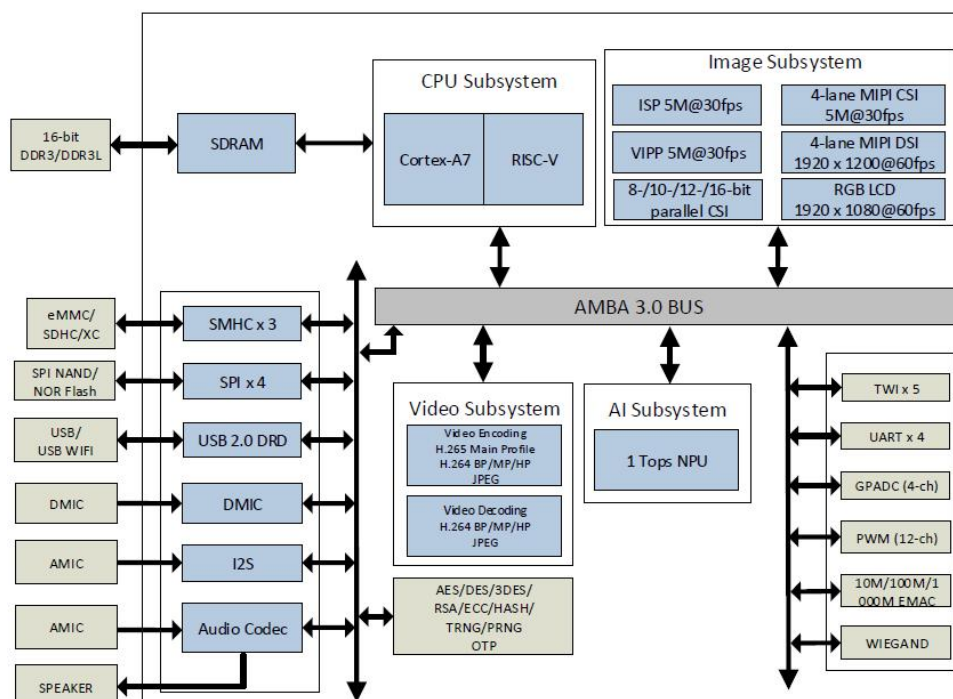
3.1.1 V853 芯片介绍

V853 是一颗面向智能视觉领域推出的新一代高性能、低功耗的处理器 SOC, 可广泛用于智能门锁、智能考勤门禁、网络摄像头、行车记录仪、智能台灯等智能化升级相关行业。

- V853 集成单核 ARM Cortex-A7@1.2GHz、RSIC-V@600MHz 及最大 1T 算力 NPU, 支持 INT8/INT16 混合运算和 TensorFlow/MXNet/PyTorch/Caffe 等典型网络模型快速转换。
- V853 支持 16-bit DDR3/DDR3L(V853S SIP 128MB DDR3L) 最高速率 936MHz, 能够满足多种应用算力及带宽需求。
- 内置全志最新一代 Smart 视频引擎, 最大支持 5M@25fps H.265 编码和 5M@25fps H.264 编解码, 采用全新一代高性能 ISP 图像处理, 在 2D 降噪、3D 降噪、HDR、边缘增强等各方面达到业内主流水平, 可为客户提供专业级图像质量。
- 支持 DVP 以及 4-lane MIPI CSI (可拆分 2 套 2lane)丰富的视频输入接口, 最大可支持 3 路摄像输入。
- 支持 24bit RGB & MIPI-DSI 4lane 输出接口, 满足各类 AI 视觉产品显示需求;
- 丰富的外设接口 5xTWI/4xUART/2xSDIO3.0/4xSPI/4xGPADC/USB2.0/I2S/DMIC/WIEGAND 等, 极大地提高了产品扩展能力。
- 全志配套提供稳定、易用的 Linux SDK 和软硬件参考设计, 可搭配全志 PMU&WIFI 套片, 简化系统方案设计, 降低 BOM 成本, 能够支撑客户如 IPC/CDR 等产品快速量产。

芯片框图, 如图 3-1 所示。

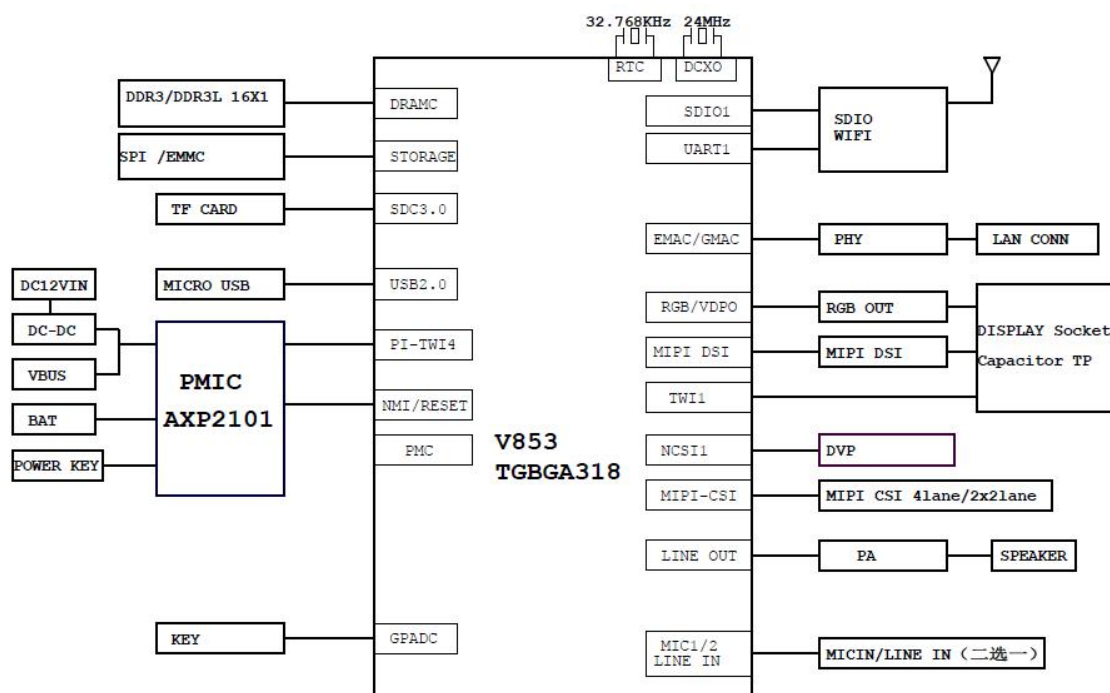
图 3-1 芯片框图



3.1.2 V853 方案介绍

V853 芯片方案系统框图，如图 3-2 所示。

图 3-2 V853 芯片 IPC 方案系统框图



IPC/AIOT 方案主要包括主芯片电路，摄像头电路、显示电路、WiFi 电路、音频电路、存储电路以及电源系统。V853 硬件系统组成说明如表 3-1 所示。

表 3-1 V853 系统硬件接口

系统	说明
CPU 小系统	时钟，复位，中断等
存储系统	DRAM, EMMC, SD Card, SPI_NOR/SPI_NAND
视频系统	MIPI DSI、RGB、MIPI CSI、DVP
音频系统	MIC IN、LINEOUT、LINE-IN
输入输出子系统	USB OTG、SPI、TWI、UART、PWM、GPADC 等
电源系统	AXP2101+外加 DCDC/LDO
无线	SDIO WiFi+BT
其他	SENSOR、触摸屏、按键等

3.2 小系统设计电路

V853 CPU 小系统包括时钟系统，系统配置 PIN 和 DEBUG 部分组成。

3.2.1 时钟系统信号 PIN 说明

V853 硬件系统包含 DCXO/32K 两个时钟，对应时钟信号和对应电源说明如表 3-2 所示。

表 3-2 时钟系统信号 PIN 说明

信号名	信号描述	应用说明
DXIN	DCXO 晶振输入	DCXO 晶振电路
DXOUT	DCXO 晶振输出	
REFCLK-OUT	主时钟扇出	供高频时钟至外部 XR819SS/XR829 WiFi 模块使用
X32KIN	32K 晶振输入	32K 晶振电路
X32KOUT	32K 晶振输出	
CLKFANOUT	32K 时钟扇出(复用 GPIO)	可供低频时钟至外部 XR819S/XR829 或者其他 WiFi 模块使用。
VCC_LDOA	内部 LDOA-1.8V 输出	内部 LDOA 输出 1.8V，可给 SOC/外设 1.8V 供电，电流建议小于 50mA

3.2.2 小系统配置 PIN 说明

V853 小系统配置 PIN 说明如表 3-3 所示。

表 3-3 系统配置 PIN 说明

信号名	信号说明	应用说明
PC2(BOOT-SEL0)	启动介质配置 (内部默认上拉，上拉电阻为 15K)	BOOT-SEL[0:1] 0 0 SPI_NAND->SPI_NOR(4 线)->SPI_NOR(1 线)->USB
PC3(BOOT-SEL1)		0 1 SPI_NOR(4 线)->SPI_NOR(1 线)->SPI_NAND->USB 1 0 SDC0->SPI_NAND->SPI_NOR(4 线)->SPI_NOR(1 线)->UART BRUN->USB 1 1 (默认) SDC0->SPI_NOR(4 线)->SPI_NOR(1 线)->EMMC2_USR->EMMC2_BOOT->SPI0 NAND->UART BRUN->USB
JTAG-SEL	JTAG 配置	1: 软件可选择 JTAG 功能从 PF (Default) 或 PH 口出 0: 强制 JTAG 功能从 PH 口出
FEL	烧写程序升级 PIN	上电低电平进入烧写模式，开发量产烧写时用到
PLLTEST	PLL 测试模式 PIN	浮空
TEST	IC 测试模式 PIN	浮空

PWR_BYP	PMC 功能选择	PWR_BYP 为高（默认为高），PMC 功能 PIN 有效； 1) 上电内部复位有效（需要外接高电平）； 2) 工作时支持外部复位 PMC 来复位 SOC； PWR_BYP 为低（外部接地），PMC 功能 PIN 无效； 1) 只有 NMI/RESET 信号有效； 2) 上电内部复位有效；也可外接 PMU PWROK 信号复位； 3) 工作时支持外部复位；
PWR_BYP=0	RESET SOC 复位 PIN	1.系统复位 PIN（内部复位）（输入默认无效，上电后若需要复位功能,可通过软件使能打开）； 2.Watchdog 输出 PIN；
	NMI 不可屏蔽中断 PIN	1) 接收电源系统的中断； 2) 发出闹钟唤醒信号，唤醒电源系统；
	PWR_ON PWR_STARTUP PWR_EN0/1/2	PIN 无效
PWR_BYP=1	RESET SOC 复位 PIN	外部复位，需外接上拉电阻到 VCC-RTC
	NMI 开机信号	接收到低电平脉冲信号开机
	PWR_ON	按键开机
	PWR_STARTUP	VBUS 开机信号
	PWR_EN0	时序控制信号
	PWR_EN1	时序控制信号
	PWR_EN2	时序控制信号

说明

- 用户需要根据启动介质类型正确配置启动方式，BOOT-SEL PIN IO 初始为内部 PULL-UP 上拉，通过外接 4.7K 电阻到地为低电平。
- TEST/PLLTEST，实际应用浮空处理，禁止引出一段浮空走线。
- FEL/GPADC 模块信号接按键时要接 1nF 去抖动电容，请勿删除或者更改为其他容值。
- RESET/NMI 信号上接下地电容为 1nF，请勿删除或者更改为其他容值。
- PWR_BYP 默认接地不用 PMC 功能，若方案要用到 PMC 模块，请联系全志 FAE。
- LDOA 输出 1.8V，可以给 SOC 1.8V 供电，也可给外设供电，供电能力限制在 50mA 以内，若有任何疑问请联系全志 FAE。

3.2.3 时钟电路

3.2.3.1 主时钟电路

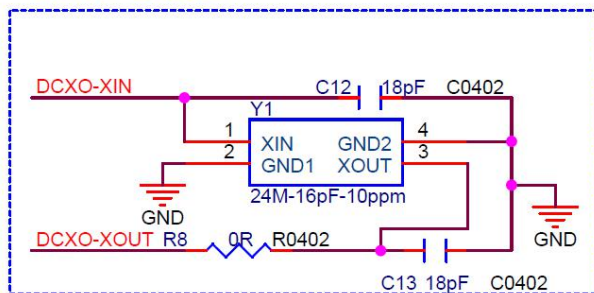
芯片有 1 套 DCXO 主时钟源，设计建议如下：

- DCXO 模块具有 24M CLK fanout 功能，可以通过 REFCLK-OUT PIN 扇出与主时钟同频率的 CLK 信号给全志 XR819SS/XR829 WiFi 或者其他模组使用，可以节省 WiFi 部分的 24M 晶振，降低产品的 BOM 成本。使用 24M Fanout 请联系 FAE 确认使用环境。
- DCXO 模块的使用方案必须参照标案原理图进行设计。
- 晶振选型参考如下：
 - 1) 当需要 DCXO 扇出时钟给 WiFi 使用时，晶振选型频偏 $\leq 10\text{ppm}$ ；
 - 2) 当不需要 DCXO 扇出时钟给 WiFi 使用时，晶振选型频偏 $\leq 20\text{ppm}$ 。
- 外挂匹配电容大小根据晶振规格和 PCB 而定，要求匹配电容+SOC PIN 电容+板级杂散电容总值等于晶振规格要求的负载电容大小。目前推荐晶振负载电容 16PF，匹配电容 18PF。
- 串接 0R 电阻需要预留，可能会用于后期调试振荡幅度（默认不需要调）。
- 系统时钟还可以直接由外部的钟振电路产生时钟，通过 XOUT 脚输入（仅作为调试用）。

主时钟电路参考设计如图 3-3 所示。

图 3-3 主时钟电路

DCXO-24Mhz



注意

晶振参数不得随意更改，需保证晶体自身负载电容、外挂匹配电容、PCB 走线负载电容三者匹配。

3.2.3.2 RTC时钟电路

芯片内置 RTC 模块，单板需要外挂 32.768K 晶振振荡器与内部反馈电路组成时钟发生电路。设计建议如下：

- SOC 内置的 RTC 模块带有校准功能，为确保每天时钟误差不超过一秒，建议使用 $32.768\text{KHz} \pm 20\text{PPM}$ 晶振。
- 在需要通过 CLK-FANOUT 扇出 32K 时钟给 WIFI 模组使用的场景下，外挂 32.768K 晶振或使用 24M 小数分频得到 32.768K。使用 24M 分频得到 32.768K 时钟，需测量 32.768K 时钟信号质量满足外设要求，若外设对 32.768K 时钟性能要求较高，内部 24M 分频无法满足，就必须外挂 32.768K 晶体。
- 外挂匹配电容大小根据晶振规格和 PCB 而定，要求匹配电容+板级杂散电容总值等于晶振规格要求的负载电容大小，目前推荐晶振负载电容为 12.5pF，外挂匹配电容为 22pF，防止低温不起振。
- X32KIN/X32KOUT 之间并接的电阻，必须保留，用于对频率微调。

RTC 时钟电路推荐参考设计如图 3-4 所示。



注意

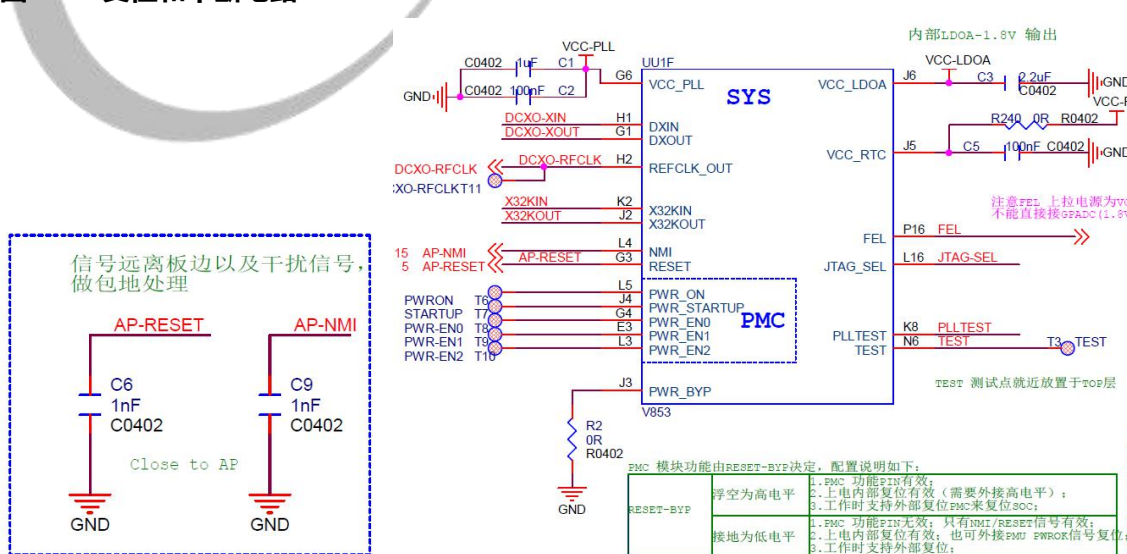
- 晶振参数不得随意更改，需保证晶体自身负载电容、外挂匹配电容、PCB 走线负载电容三者匹配。
- RTC 时在固定分频模式，计时精度主要取决于外置晶体，请综合考虑晶体频率误差、温度漂移等因素，选择合适的晶体；
- 对计时精度要求较严格的产品，建议选择外置高精度集成 RTC。

3.2.4 复位和中断电路

- 当 PWR_BYPASS=0 时, 只有 NMI/RESET PIN 有效, RESET 采用内部复位, 也可接 PMU AXP2101 复位信号。
- 当 PWR_BYPASS=1 时, PMC 相关 PIN 有效, RESET 采用外部复位, 需要接外部上拉电阻到 VCC-RTC。
- AP-RESET 和 AP-NMI 信号上加对地 1nF 电容, 靠近主控 PIN 脚放置, 请勿删除或者改为其他值, 否则会影响系统正常启动。
- AP-NMI 信号在 PMU 端需要加上拉电阻, 注意此值必须参照相应标案 PMU 设计, 不得随意更改。

复位和中断电路如图 3-5 所示。

图 3-5 复位和中断电路



3.3 电源系统设计

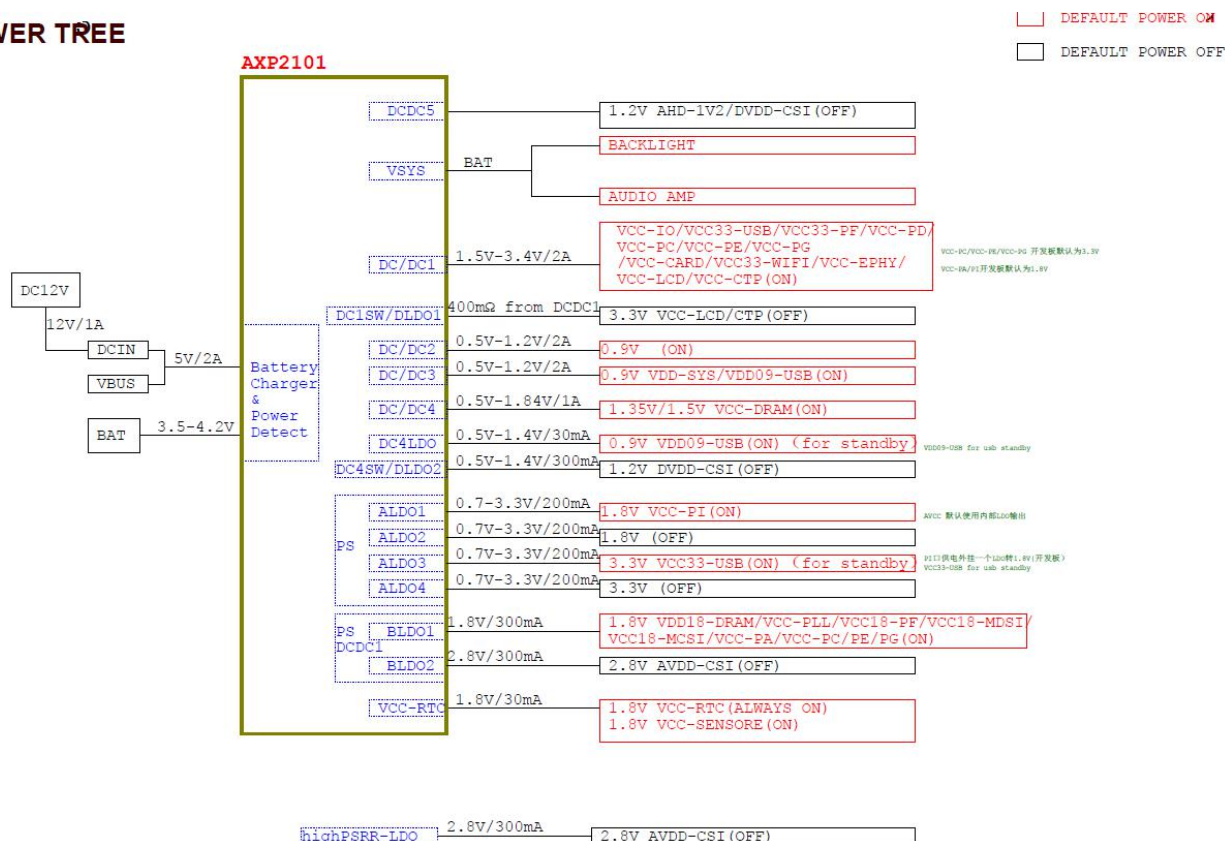
3.3.1 V853 电源系统架构介绍

V853 电源供电系统主要由 PMU AXP2101 和外挂 DCDC/LDO 组成。

- AXP2101 为电源管理芯片，可以提供 15 路电源输出（包括 5 路可调输出降压 DCDC，9 路可调输出 LDO，1 个 Switch），可以提供完整的电源解决方案。外挂 high PSRR 主要给摄像头 AVDD 使用，防止低照度横纹现象。V853 Power Tree 如图 3-6 所示。

图 3-6 V853 Power Tree 设计

POWER TREE



V853 方案电源设计说明如下：

- POWER TREE 红色部分电源需要在 BOOT 阶段默认开启，在 V853 代码运行前，PMU 输出电压由 PMU 内部码值决定。为确保 V853 部分模块在 BOOT 阶段要求上电的需求，请不要改变各路电源所使用的 LDO 和 DCDC。若红色部分未使用，请注意悬空，不能给其他设备供电使用。
- 电源 POWER TREE 设计按照标案默认分配进行设计，避免因电源改动增加产品部分场景功耗，同时也增加软件适配工作量。
- 对于合并在一起供电的部分 SOC 模块电源，已经经过系统验证测试，不能随意更换搭配，避免导致系统不稳定，如 VCC-PLL 等。
- DCDC1/DCDC2/DCDC3/DCDC4/DCDC5 电感参考值为：感量为 1uH，要求此路最大电流不超过电感饱和电流的 80%，直流电阻小于 100 毫欧。
- DCDC4 给 DDR VCC-DRAM 供电，初始上电值为 1.1V，由软件根据 DRAM 类型调节 PMU 输出 1.35V/1.5V。
- DLDO2 来源于 DCDC4，需要保持 150mV 以上的压差，才能保证输出稳定，输出电流能力为 300mA，当 DCDC4 输出 1.2V 时，DLDO2 不能输出 1.2V(带载能力有限)。

- 对于 PMU 未使用的 LDO (ALDO/BLDO)，方案应用时可以将此路输出电容删除，DCDC2 若方案上未使用，电感电容可删除。
- V853 系统复位信号 AP-RESET 由内部复位产生，也可外接 AXP2101 的 PWR-OK 信号控制，AP-RESET PMU 内置上拉，外部不需要上拉，上拉电阻需预留以便调试。
- VCC-PC 有 1.8V 和 3.3V 两种电压，设计需根据 EMMC 的规格来配置电压，具体请参看 EMMC 芯片的 datasheet。特别注意使用 1.8V 时，需设置电压耐压模式为 1.8V。
- V853&V853S 自带一 LDOA-1.8V(3.3V 转 1.8V)，根据不同的电源方案，建议如下：
 - 搭配 AXP2101 方案时，默认使用 AXP2101 的 LDO 进行供电，不使用内部 LDOA 给外设供电；
 - 搭配分立器件方案，LDOA 可以给系统 1.8V 供电，但不建议超过 50mA，设计时请预留外挂 LDO-1.8V，根据产品实测发热情况确定是否使用 LDOA。
- V853 进入休眠待机状态时，只有 DRAM、RTC 模块带电，只有 DRAM 模块保持在运行状态，其他模块都会掉电进入待机状态，因 PI 口 TWI4 和 PMU AXP2101 通讯，进入待机时由 PI 口 TWI 控制 PMU 相关寄存器掉电，VCC-PI 电源待机时无法关闭，PI 口其他 IO 除 PMU 的 TWI 通讯外，其他 IO 不建议接外设，防止漏电。如果待机功耗偏高，请进行电源工作状态的逐一排查。
- VDD-SYS 包含了 CPU 和 NPU 供电，CPU/NPU 频率和电压对应关系如下：

V853 CPU/NPU 频率电压对应表					V853S CPU/NPU 频率电压对应表			
序号	电压(V)	CPU 频率(MHZ)	NPU 频率(MHZ)	备注	电压(V)	CPU 频率(MHZ)	NPU 频率(MHZ)	备注
1	1.05	1200	600					V853S 无此档位
2	1	1104	528		1	1104	528	
3	0.96	1008	492		0.96	1008	492	
4	0.9	900	432		0.9	900	432	
备注：								
1) 搭配全志 PMU AXP2101 方案可以保证电压输出精度，按照上述电压频率对应关系进行设计；								
2) 若是分立器件方案，请使用 1%精度的 DCDC，考虑到 DCDC 精度反馈电阻精度和走线压降问题，设计时请按照提压 20mV 进行设计，如 0.9V—>0.92V,0.96V—>0.98V；								



注意

PMU 电源参数请参照参考原理图，电源设计有任何疑问和任何改动，请联系我们 FAE。

3.3.2 V853 上下电时序介绍

V853 搭配 AXP2101(不带 PMC)上电时序描述如下：

- RTC 第一步上电，VDD_SYS，VCC_DRAM 第二步上电；

- 其他电源需等到 VDD_SYS 稳定之后上电，VCC18_PF 不晚于 VCC_IO 上电；
- 不带 PMC 时，采用内部复位（在检测到 VDD-SYS 后延迟 8mS 复位），外部复位无效。

各路电源上电步骤如表 3-4 所示。

表 3-4 上电步骤

电源	电压	上电步骤
VCC_RTC	1.8V	1
VCC_DRAM	1.1V~1.5	2
VDD_SYS, VDD09_USB	0.9V	2
VDD18_DRAM, AVCC, VCC_PLL, VCC18_EFUSE, VCC18_PF,	1.8V	3
VCC18_DSI, VCC18-PA&MCSI	1.8V	3
VCC_PI	1.8V	3
VCC_IO, VCC_PC, VCC33_USB	3.3V	3
Reset(内部复位, 外部复位无效)	1.8V	4
24M CLK	-	5

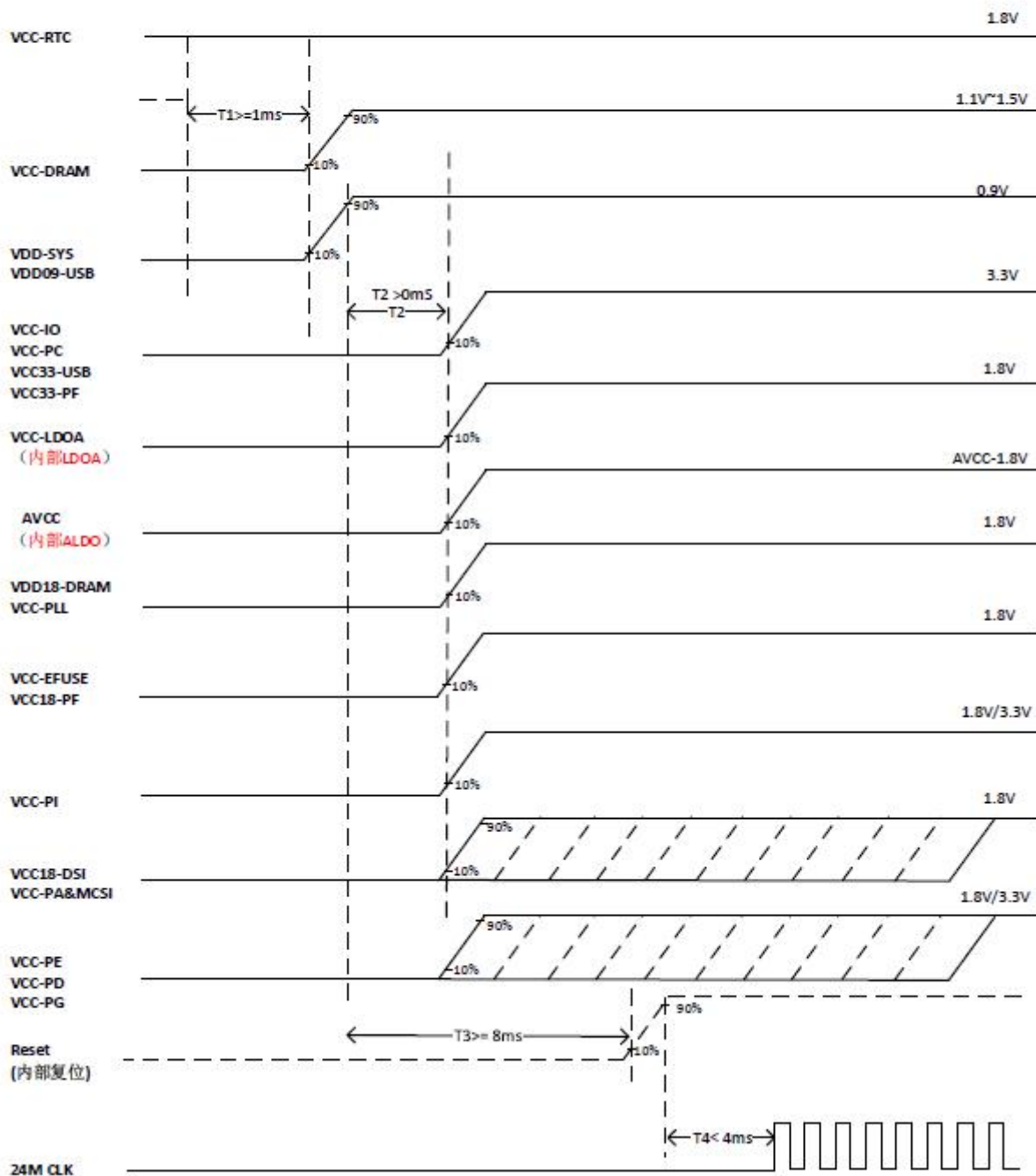
V853 上电时序要求如图 3-7 所示。

图 3-7 上电时序要求

V853 BGA 内部复位上电时序
(AXP2101)

时序说明如下：

1. RTC(独立供电时) 最先上电；
2. 在检测到VDD-SYS上电后沿时8ms内部复位；
3. 24M CLK在内部Reset释放后4ms稳定；

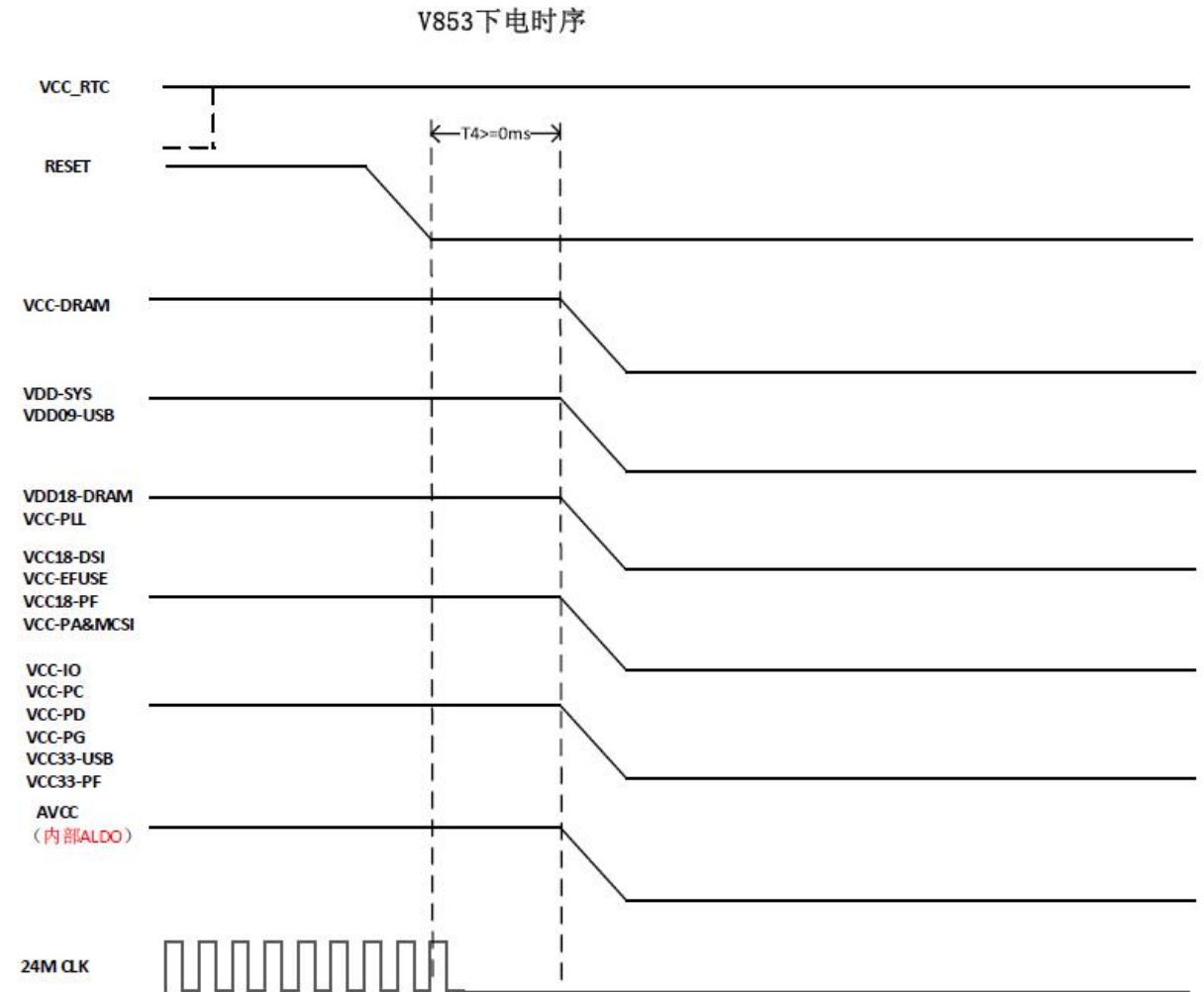


V853 下电时序描述如下：

- VCC-RTC 不掉电；
- PMU 接收到下电指令后，PMU 拉低 Reset 信号，其他电源域同时下电，每路电的下降时间由电源的负载决定。

V853 下电时序要求如图 3-8 所示。

图 3-8 下电时序要求



注意

分立器件电源上下电时序，请联系我们 FAE。

3.3.3 SOC 端电源质量要求

V853 SOC 端电源精度和纹波噪声要求如表 3-5 所示。

表 3-5 SOC 端电源质量要求

序号	电源名称	电压精度	纹波要求	噪声要求
1	AVCC	1.8V± 2%	<1.5%	<2.5%
2	VCC-PLL	1.8V± 3%	<1.5%	<2.5%
3	VCC33-USB	3.3V± 10%	<1.5%	<2.5%
4	VCC18-MCSI/VCC18-DSI	1.8V± 5%	<1.5%	<2.5%
5	VCC-RTC/VCC-EFUSE	1.8± 10%	<1.5%	<2.5%
6	VCC-IO/VCC33-PF	3.3V± 10%	<5%	<10%
7	VCC-PD/VCC-PE/ VCC-PL	1.8V± 10% 3.3V± 10%	<5%	<10%
8	VDD09-USB/VDD-SYS	0.9~1V	<80mV	<80mV
9	VCC-DRAM	1.35V± 5% 1.5V± 5%	<6%	<10%
10	VDD18-DRAM	1.70V~1.95V	<6%	<10%



注意

VDD-SYS 的电源电压需要根据产品 CPU 频率和 NPU 频率要求确定电压，具体参数请参考《CPU/NPU 频率电压对应表》。

3.3.4 V853 SOC 电源电容设计

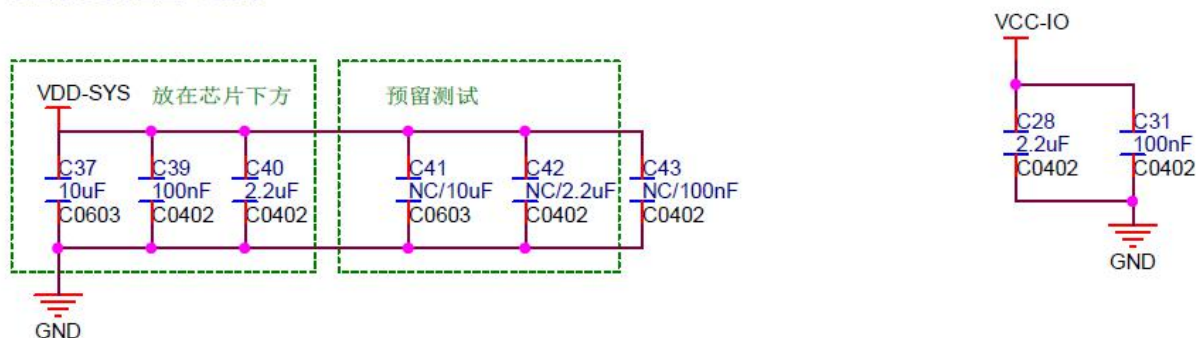
V853 SOC 端各电源建议容值如下：

- 系统 SYS 包含了 ISP/VE/NNA 模块，采用独立电源域供电，一般不进行调压，VDD-SYS 至少要有 10uF 以上的电容靠近 SOC 正下方放置，VDD-SYS 纹波噪声严格控制在 80mV 以内，并保证电压不低于频率要求的最低电压值，具体参照《CPU/NPU 频率电压对应表》。
- VCC_PLL/VCC_RTC 等电源外挂 100nF 电容，靠引脚放置；
- VCC_PLL 电源外挂 1uF+100nF 电容，靠引脚放置；
- VDD18_DRAM/VCC33_USB 等电源外挂 100nF 电容，靠引脚放置；
- VCC18_DSI/VCC18_CSI 等电源外挂 100nF 电容，靠引脚放置；
- VCC-PA/VCC_PC/VCC_PD/VCC_PE/VCC18_PF/VCC_PG/VCC_PI 等 GPIO 电源外挂 100nF 电容，靠引脚放置；
- AVCC 等电容参照音频电路设计章节。
- LDOA 电源输出需要外挂 2.2uF 电容，靠引脚放置，若实际方案中未使用此 LDOA，则电容可 NC。

SYS 电源推荐电容组合如图 3-9 所示。

图 3-9 SYS 电源电容设计

DECOUPLE CAP



注意

数字低压供电 VDD-SYS、VCC-DRAM 等电源涉及到系统稳定和可靠性，电源电容必须按照标案原理图和 PCB 设计。设计完成时需重点检查这几个数字模块 PCB 走线以及电容摆放位置，产品测试时检查这几路供电电源纹波是否满足纹波要求。

3.4 DRAM 设计

V853 DRAMC 接口支持 DDR3/DDR3L，设计说明如下：

- 使用时需先确定 DRAM 的类型、片选及位宽，然后选用对应的 DRAM 原理图模板和 PCB 模板，DRAM 部分设计请严格参照标案原理图设计，并采用配套的 DDR PCB 模板，不建议自行修改。

V853 芯片 DRAM 模板信息如表 3-6 所示。

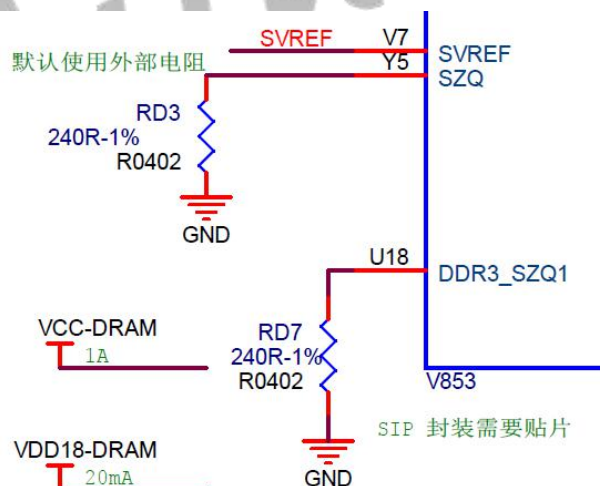
表 3-6 DRAM 模板信息

模板	PCB 层数	DDR 封装	贴片信息	DRAM 量产频率
DDR3_16X1	4	BGA96	单面贴	933MHz
DDR3_16X1	6	BGA96	单面贴	933MHz
DDR3_8X2	8	BGA96	双面贴	TBD

- DRAM 部分原理图设计时，请勿修改或者重新编排元件的位号，否则与配套的 PCB 模板无法对应匹配。
- 外部分立器件的数量、值大小以及精度不允许随意更改，请严格参照标案原理图设计。
- DRAM 所有的滤波电容不能删减，预留的滤波电容建议在开发阶段预留，但可以不贴片，待开发测试验证稳定之后，量产可以根据实际情况酌情删除。
- 若自行设计 DDR 模板，SDQ0-SDQ7，SDQ8-SDQ15，分别为 2 组数据线，memory 端可以进行组内或者组间交换，若进行组间交换，则相应的 SDQM 和 SDQS 差分对也必须对应交换，可视 PCB 走线难易程度进行组内或组间交换。
- DRAM 端每一个 ZQ PIN 都必须接 240R-1%精度的下拉到地电阻。
- V853S 内部 SIP 128MB DDR3，DDR3-SZQ1 PIN 需外接 240R-1%精度的下拉到地电阻。

DRAM 模块电路设计如图 3-10 所示。

图 3-10 DRAM 模块电路设计



V853 支持器件型号请参考《Allwinner V853 SDRAM Support List》，产品设计时请严格选用我司支持列表里的物料型号，若有未支持的 DDR 物料，请通过我司业务渠道申请调试支持。



注意

使用时需先确定 DRAM 的类型，以及单片的位宽，严格参考标案原理图连接及 V853 DRAM 支持列表选型。若产品上有 DDR3_8X2 模板需求，请联系我们 FAE。

3.5 FLASH 设计

V853 支持 SPI/eMMC，当使用不同介质时，需要正确配置 BOOT-SEL，具体参照系统配置章节。

eMMC 设计说明如下：

- 如果使用 eMMC 5.0 及 5.0 以上的片子，则 eMMC 的 PIN T5 和 H6 需要通过 0R 电阻到地，V853 芯片集成了 eMMC-DS 下拉电阻，eMMC-DS 信号线下拉电阻可 NC 处理。而其他非 eMMC5.0/5.1 的片子，则 eMMC 的 PIN T5 和 H6 R5 的下拉电阻需要 NC。具体可参照 eMMC datasheet 作处理。
- 如果 eMMC 设备使用 HS200 和 HS400 高速总线模式，需将 eMMC VCCQ 以及主控的 VCC_PC 的电压都配置为 1.8V 电压。使用时请按照实际需求进行 VCC-PC 电源的配置。

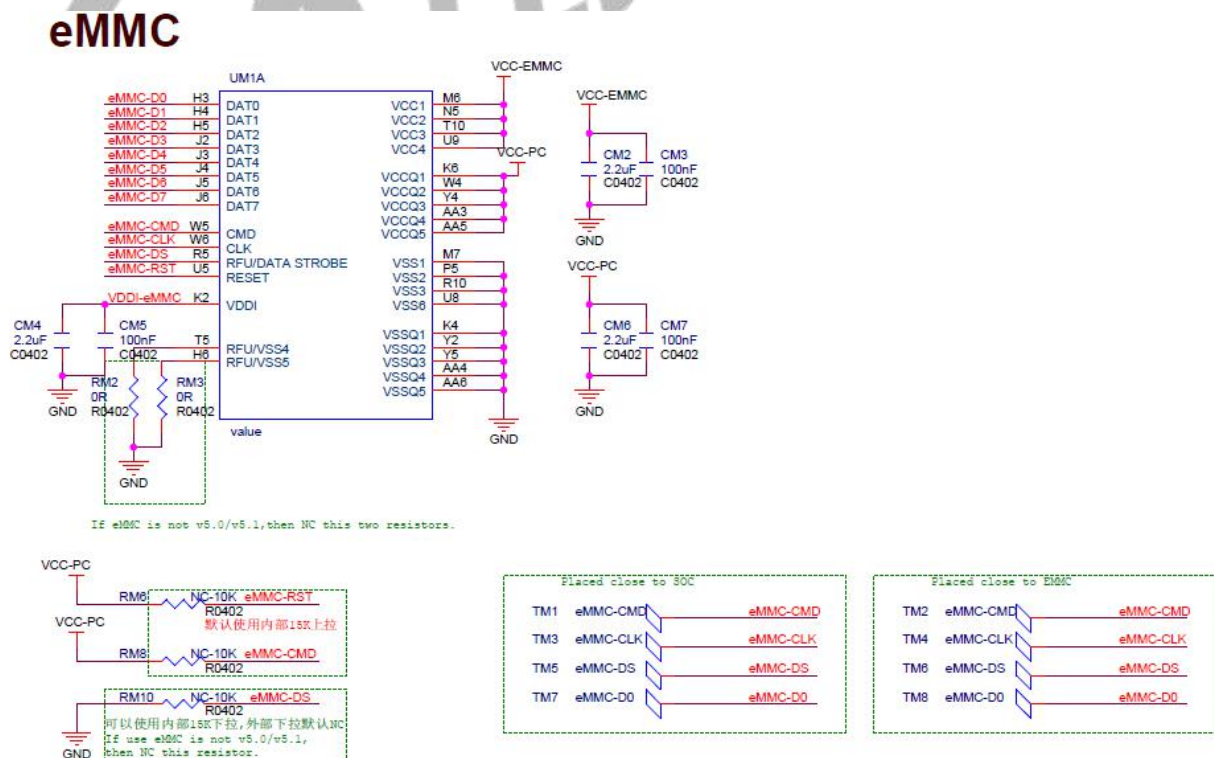
eMMC 上下拉匹配设计推荐如表 3-7 所示。

表 3-7 eMMC 上下拉匹配设计推荐

信号名	内置上下拉	应用说明
eMMC-D[0:7]	NA	直连
eMMC-CLK	NA	在 SOC 端串接 33R 电阻
eMMC-CMD	内置 15K 上拉	直连，外部预留上拉电阻到 VCC-PC，默认使用内部上拉
eMMC-RST	内置 15K 上拉	直连，外部预留上拉电阻到 VCC-PC，默认使用内部上拉
eMMC-DS	内置 15K 下拉	直连，外部预留下拉电阻到地，默认使用内部下拉

eMMC 参考设计见图 3-11 所示。

图 3-11 eMMC 参考设计



SPI 设计说明如下：

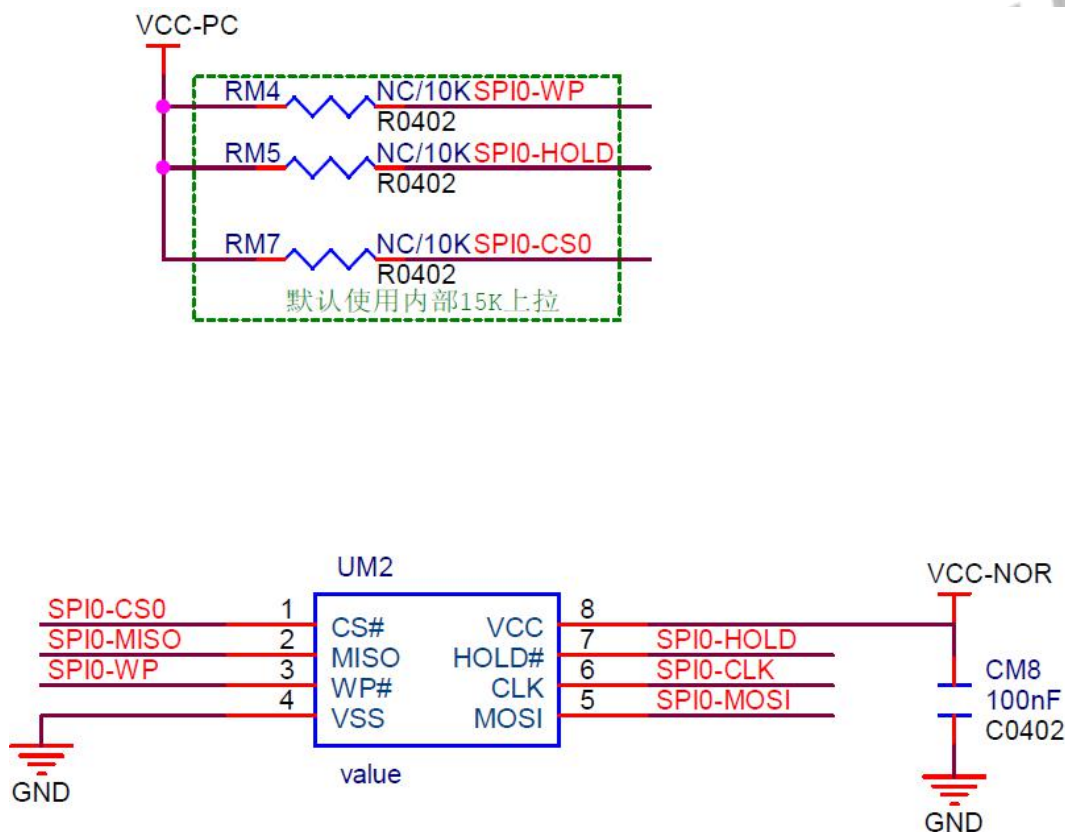
SPI 上下拉匹配设计推荐如表 3-8 所示。

表 3-8 SPI 上下拉匹配设计推荐

信号名	内置上下拉	应用说明
SPI-MISO	NA	直连
SPI-MOSI	NA	直连
SPI-CLK	NA	在 SOC 端串接 33R 电阻
SPI-CS	内置 15K 上拉	直连，外部预留上拉电阻到 VCC-PC，默认使用内部上拉
SPI-WP	内置 15K 上拉	直连，外部预留上拉电阻到 VCC-PC，默认使用内部上拉
SPI-HOLD	内置 15K 上拉	直连，外部预留上拉电阻到 VCC-PC，默认使用内部上拉

SPI 参考设计见图 3-12 所示。

图 3-12 SPI 参考设计



注意

eMMC 选型请严格按照《Allwinner V853 eMMC Flash Support List》文档，
 SPI NOR 选型请严格按照《Allwinner V853 SPI NOR Flash Support List》文档，
 SPI NAND 选型请严格按照《Allwinner V853 SPI NAND Flash Support List》文档，
 必须选用支持列表里 V853 平台支持的型号。

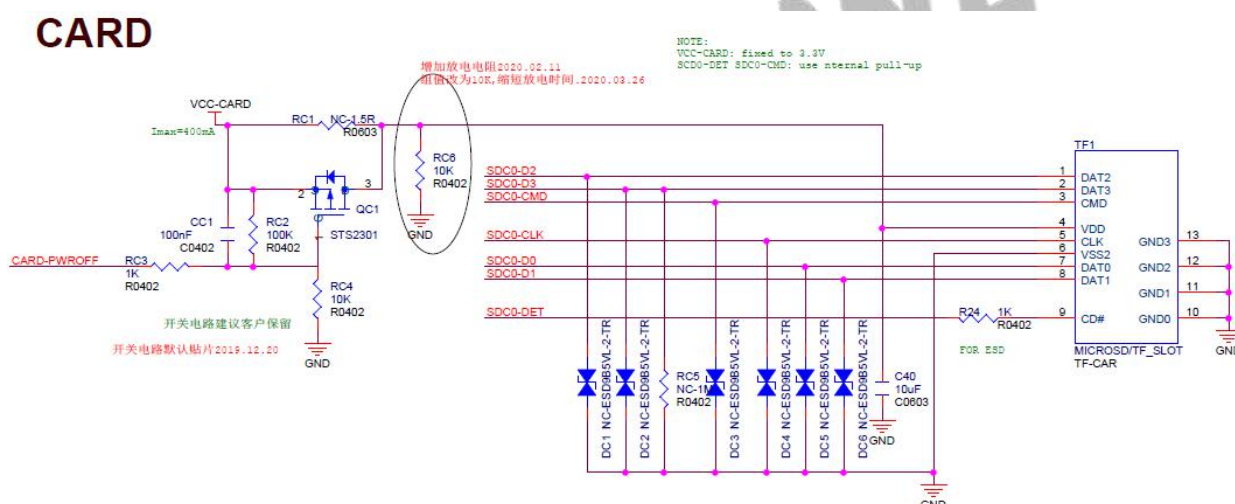
3.6 SD Card 电路设计

V853 PF 口支持 SD2.0/SD3.0 协议。

- 当使用 SDIO3.0 卡时，卡口 IO 电压会从 3.3V 切换到 1.8V，具体平台参照标按设计。
- CARD IO 电压切换由 V853 SOC 内部自动实现的，电路设计建议如下：
 - CMD 信号内部通过 15K 电阻上拉到 PF 口电压，禁止使用外部上拉电阻。
 - SDC0-DET 卡检测信号使用内部 100K 电阻上拉，禁止使用外部上拉电阻。
- 卡检测也可以用 SDC0-D3 的下拉 1MR 电阻作为卡检测。
- CLK 信号串接 33R 电阻，若 CLK 上并接电容，容值不能超过 5pF。
- VCC-CARD 建议使用 CMOS 开关控制电路，避免插入坏卡时将系统电源拉低，同时遇到静电问题时可执行 Card 掉电复位功能，开关电路后级建议加上对地 10K 泄放电阻，软件控制 card 掉电时需保持 200ms 以上。如果为了降低产品成本，建议改为串接 1.5R~2.2R 电阻。
- CMD/CLK 及 DATA 线上并接的 TVS，根据实际情况选择是否需要贴片，TVS 容值不宜超过 10pF。
- 卡检测 SDC0-DET 信号串接 1K 电阻，提高 ESD 性能。

CARD IO 供电 SOC 内部实现的参考设计如图 3-13 所示。

图 3-13 SD CARD 参考设计



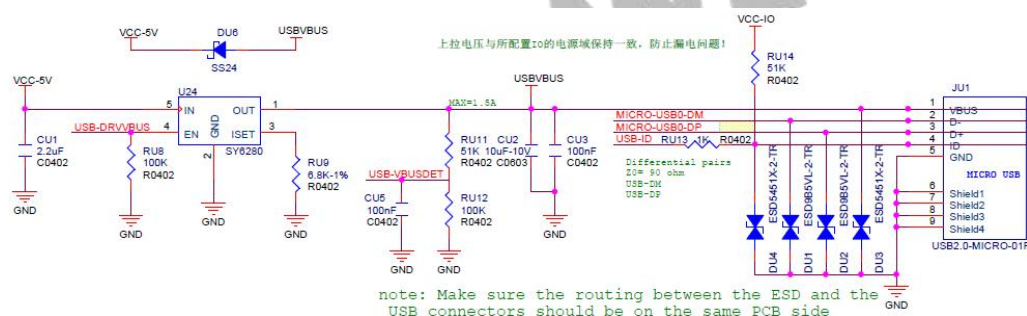
3.7 USB 电路设计

V853 有 1 套 USB 接口，USB0 具有 OTG 功能，在产品功能定义上需要注意区别。

- V853 SOC USB 的 USB 模块有两路供电，分别为 VCC-USB 和 VDD09-USB，供电说明如下：
 - 超级待机不需要支持 USB 唤醒时，可以将 VCC33-USB 和 VCC-3V3 合并，VDD09-USB 和 VDD-SYS 合并；具体参照标案设计。
 - 超级待机需要支持 USB 唤醒时，可以将 VCC33-USB 和 VDD09-USB 供电不能关闭，VCC33-USB 采用 ALDO3 供电，VDD09-USB 采用 CPUS_LDOA 供电，此时 USB-5V 也不能关闭。具体参照标案设计。
- USB0 座子上的 ID 信号为 OTG 检测信号，需要增加上拉电阻到对应 IO 电压。若 ID 检测为低，则主控识别为 USB 外设接入，USB0 工作为 Host 模式。反之 USB0 工作在 Device 模式。
- ID 信号到 SOC 端的 GPIO 串接 1K~1.5K 电阻提升 ESD 性能。
- D+/D-信号线为高速信号线，并接的 TVS 要求低容值，否则影响数据传输，以小于 4pF 为宜。
- USB 电源限流器件 EN 使能管脚加下拉电阻，默认关闭，只有作为 HOST，为外部设备供电时才打开。

USB 推荐电路如图 3-14 所示。

图 3-14 USB 参考设计
microUSB



3.8 显示屏电路设计

V853 支持 RGB/MIPI DSI/SPI-DBI 接口,

- RGB 接口支持 RGB888/RGB666/SRGB/I8080 接口, 24bit RGB 最大分辨率为 1920 x 1080@60HZ, SRGB/I8080 最大支持 800 x 480@60HZ。
- MIPI DSI 接口支持 4-lane, 最大分辨率为 1920 x 1080@60HZ。

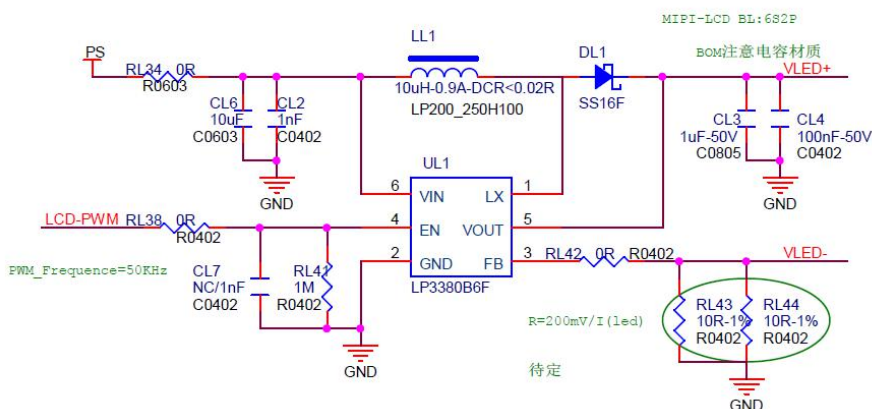
设计建议如下:

- 产品设计时请根据具体的 LCD 规格选用相关的参考电路设计, RGB/MIPI-DSI 接口供电按照屏规格参数进行调整。
- LCD 的 IO 电压与 AP 端的控制 IO 电压是否一致, 若不一致, 注意做电平匹配处理, 如 LCD-RST 信号。
- RGB 接口的数据线和控制线上串接 33R 电阻, LCD-CLK 串接 33R 电阻, 并且预留对地电容, 减少信号反射, 方便解决 EMI 问题。
- RGB/MIPI-DSI 接口 LCD-RST 信号建议预留对 1nf 电容。
- LED 背光电路中肖特基二极管建议选择反向击穿电压比背光 IC OVP 电压大的, 这样可以避免出现在未接屏负载下烧坏二极管的现象。
- LED 背光电路中输出电容的耐压值要大于背光 IC OVP 电压, 推荐选用耐压值为 50V 的滤波电容。
- 推荐使用一个 LCD-PWM 信号接背光 IC (EN 管脚支持 PWM 调节) 实现背光亮度调节和开关屏。PWM 频率建议 20Khz 以上推荐 50Khz (避开音频频率), LED 背光 IC 的 EN 脚, 需要加下拉电阻, 止上电过程中 IO 有毛刺出现屏闪现象。
- 背光 IC 的 FB 端对地的限流电阻选用 1%精度的电阻, 封装的选用需满足电路的功率需求。

RGB 背光电路参考设计如图 3-15 所示。

图 3-15 背光电路参考设计

Backlight



RGB SRGB/CPU 屏各种类型接口 mapping 关系如图 3-16 所示。

图 3-16 RGB 各种类型接口 mapping 关系

Control signal and data port mapping

	SYNC RGB					CPU cmd	CPU 18bit	CPU 16bit								CPU 8bit						CPU 9bit		
I/O	0s RGB	256K			0s 56		256K	256K								65K	256K			65K		256K		
		1st	2nd	3rd				1st	2nd	3rd	1st	2nd	1st	2nd	1st		2nd	3rd	1st	2nd	1st	2nd		
IO0	VSYNC					CS																		
IO1	HSYNC					RD																		
IO2	DCLK					WR																		
IO3	DE					RS																		
D23	R7					D23	R5	R5	B5	G5	R5		R5	B5	R4									
D22	R6					D22	R4	R4	B4	G4	R4		R4	B4	R3									
D21	R5					D21	R3	R3	B3	G3	R3		R3	B3	R2									
D20	R4					D20	R2	R2	B2	G2	R2		R2	B2	R1									
D19	R3					D19	R1	R1	B1	G1	R1		R1	B1	R0									
D18	R2					D18	R0	R0	B0	G0	R0		R0	B0	G5									
D17	R1					D17																		
D16	R0					D16																		
D15	G7					D15	G5								G4									
D14	G6					D14	G4								G3									
D13	G5					D13	G3																	
D12	G4	D17	D27	D37	D7	D12	G2	G5	R5	B5	G5	B5	G5		G2	R5	G5	B5	R4	G2	R5	G2		
D11	G3	D16	D26	D36	D6	D11	G1	G4	R4	B4	G4	B4	G4		G1	R4	G4	B4	R3	G1	R4	G1		
D10	G2	D15	D25	D35	D5	D10	G0	G3	R3	B3	G3	B3	G3		G0	R3	G3	B3	R2	G0	R3	G0		
D9	G1					D9																		
D8	G0					D8																		
D7	B7	D14	D24	D34	D4	D7	B5	G2	R2	B2	G2	B2	G2		B4	R2	G2	B2	R1	B4	R2	B5		
D6	B6	D13	D23	D33	D3	D6	B4	G1	R1	B1	G1	B1	G1		B3	R1	G1	B1	R0	B3	R1	B4		
D5	B5	D12	D22	D32	D2	D5	B3	G0	R0	B0	G0	B0	G0		B2	R0	G0	B0	G5	B2	R0	B3		
D4	B4	D11	D21	D31	D1	D4	B2								B1				G4	B1	G5	B2		
D3	B3	D10	D20	D30	D0	D3	B1								B0				G3	B0	G4	B1		
D2	B2					D2	B0														G3	B0		
D1	B1					D1																		
D0	B0					D0																		

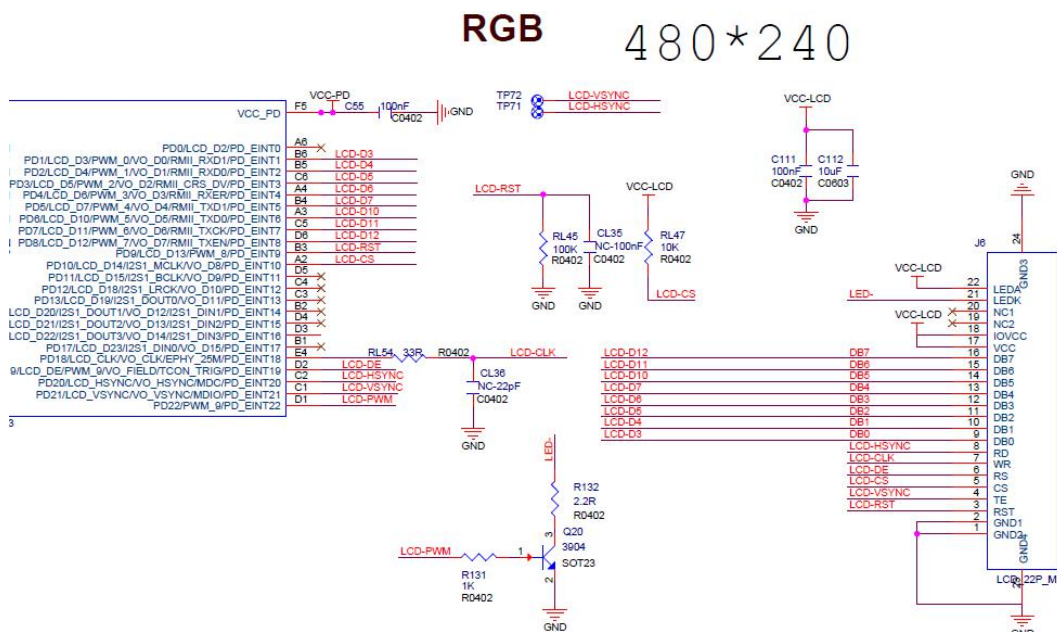
8/9/16 bit CPU 屏接法说明如表 3-9 所示。

表 3-9 CPU 屏控制信号接法说明

SOC PIN	SRGB	16bit-CPU (不带 TE)	9bit-CPU (不带 TE)	8bit-CPU (不带 TE)	16bit-CPU (带 TE)	9bit-CPU (带 TE)	8bit-CPU (带 TE)
LCD-VSYNC	LCD-VSYNC	LCD-CS			TE		
LCD-HSYNC	LCD-HSYNC	LCD-RD			LCD-RD		
LCD-CLK	LCD-DCLK	LCD-WR			LCD-WR		
LCD-DE	LCD-DE	LCD-RS			LCD-RS		
GPIO	/	/			CS		
LCD-PWM	LCD-PWM	LCD-PWM			LCD-PWM		
LCD-RST	LCD-RST	LCD-RST			LCD-RST		

8bit 带 TE 信号 CPU 屏参考设计如图 3-17 所示。

图 3-17 8bit CPU 屏 (带 TE 信号) 参考设计



SPI 屏支持以下几种模式:

表 3-9 SPI 屏接口

3 线 1 Data	3 线 2 Data	4 线 1 Data	4 线 2 Data	2 Data Lane
DBI-CSX	DBI-CSX	DBI-CSX	DBI-CSX	DBI-CSX
/	/	DBI-DCX	DBI-DCX	/
DBI-SCLK	DBI-SCLK	DBI-SCLK	DBI-SCLK	DBI-SCLK
DBI-SDA	DBI-SDO	DBI-SDA	DBI-SDO	DBI-SDA
/	DBI-SDI	/	DBI-SDI	WRX
DBI-TE	DBI-TE	DBI-TE	DBI-TE	DBI-TE

表 3-10 DBI 接口与 SPI1 复用关系

DBI	SPI
DBI-CSX	SPI1-CS
DBI-SCLK	SPI1-CLK
DBI-SDO/SDA	SPI1-MOSI
DBI-SDI(WRX)/TE/DCX	SPI1-MISO
DBI-DCX/WRX	SPI1-HOLD
DBI-TE	SPI1-WP

3.9 触摸屏电路设计

触摸屏设计要点如下:

- 使用 V853 芯片的 TWI2 与触摸屏进行通讯，此套 TWI 不建议与其他设备通讯。

- TWI 上拉到 VCC-IO, CTP-INT/CTP-RST 上拉到 VCC-IO。
- 注意确认触摸屏上的 RESET 信号上是否有对地 1nf~100nf 电容, 若无电容, 则触摸屏静电可能会比较差。

3.10 摄像头电路设计

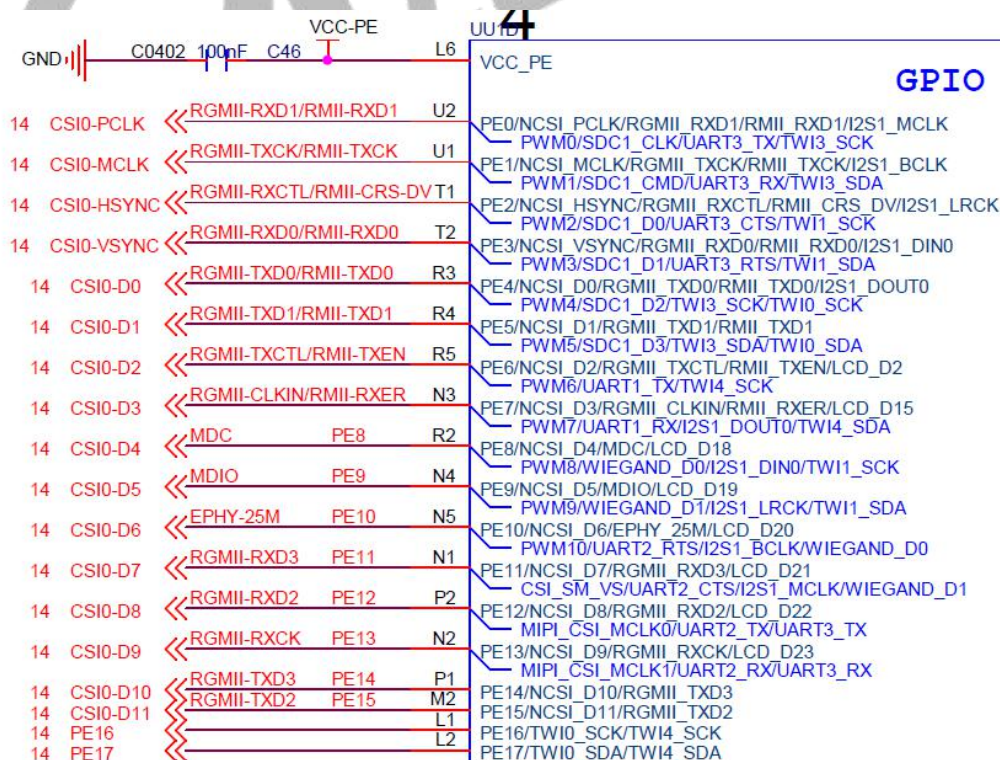
V853 支持一套 MIPI-CSI 4lane 接口 (支持拆分 2 套 2lane MIPI-CSI 接口) 和 1 套并口 CSI, 其中 MIPI-CSI 从 PA 口引出, 并口 CSI 从 PA 口或者 PE 口引出, 最大支持 3 目摄像头输入。

并口 CSI 设计注意事项如下:

- 注意根据 SENSOR 的 IO 电平确定 VCC-PE 的电压。
- 其他 Sensor 控制信号, 如 TWI/RESET/PWRDN 等, 建议使用 PE 口, 当使用其他 IO 口时, 主要电平匹配, 当电平不一致时, 需加电阻分压或者电平转换电路。
- MCLK 建议靠近座子端预留 NC 电容, 靠近 SOC 端串接 33R 电阻, 用于降低时钟信号的 EMI 辐射。
- SENSOR 端的 PCLK 靠近 SENSOR 端预留 NC 电容, 串接 33R 电阻, 用于降低时钟信号的 EMI 辐射。
- 为提升系统 ESD 性能, 建议在 sensor 端的复位信号上预留 100nF 电容位置, 靠近 sensor 摆放。
- 摄像头 TWI 要加上拉电阻, 注意检查是否有复用到其他 IO, 例如并口用了 PE 口的 TWI0, 则 PH 口的 TWI0 不能使用。
- 使用 PA 口作为并口 CSI 时, 同上。

并口 CSI 参考设计如图 3-18 所示。

图 3-18 并口 CSI 参考设计



MIPI-CSI 并口 CSI 设计注意事项如下:

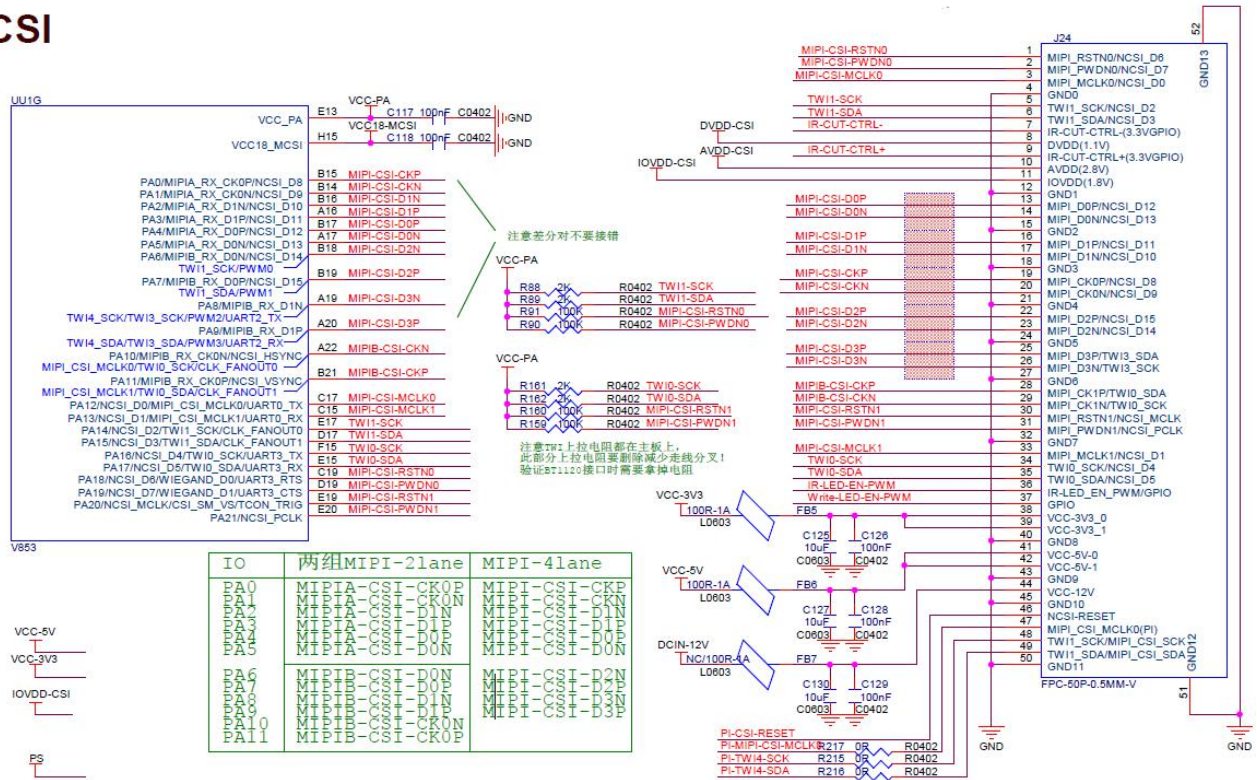
- Sensor 控制信号, 如 TWI/RESET/PWRDN 等, 建议使用 PA 口, 采用 1.8V 供电。

- MCLK 建议靠近座子端预留 NC 电容, 靠近 SOC 端串接 33R 电阻, 用于降低时钟信号的 EMI 辐射。
- 摄像头 TWI 要加上拉电阻, 注意检查是否有复用到其他 IO, 例如并口用了 PA 口的 TWI1, 则 PE 口的 TWI1 则不能使用。
- MIPI-CSI 支持 4lane 拆分 2*2lane, 使用参考标案原理图设计。

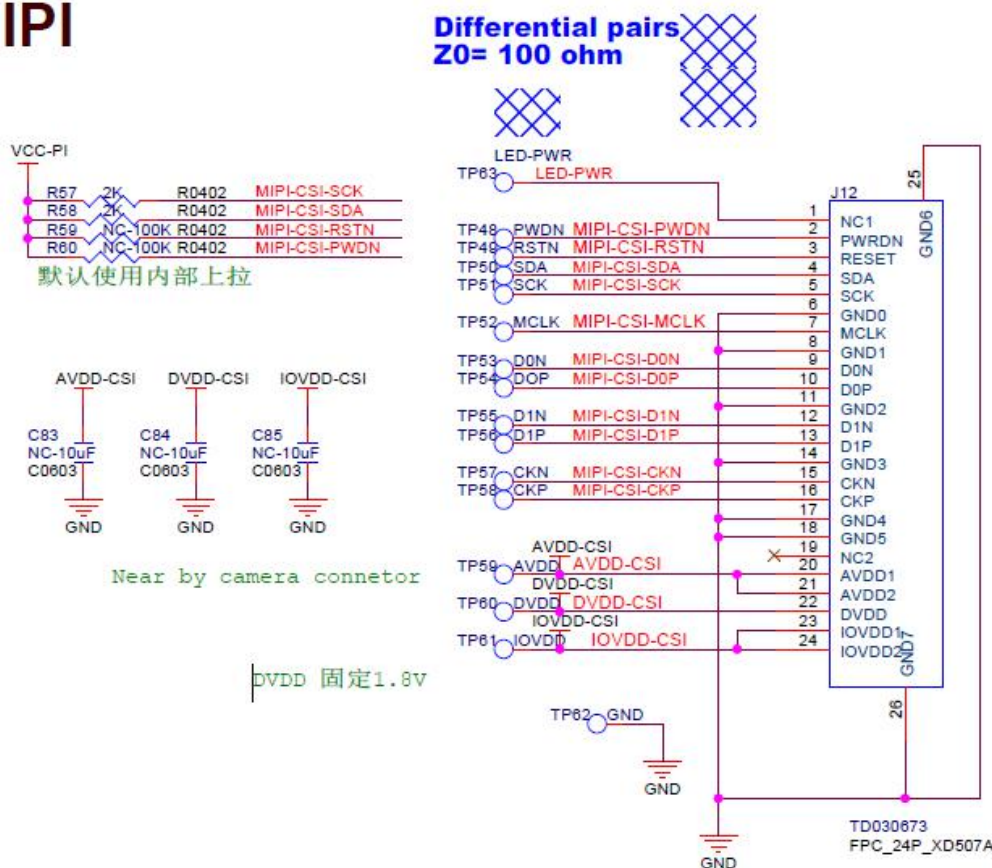
MIPI CSI 参考设计如图 3-19 所示。

图 3-19 MIPI CSI 参考设计

CSI



MIPI



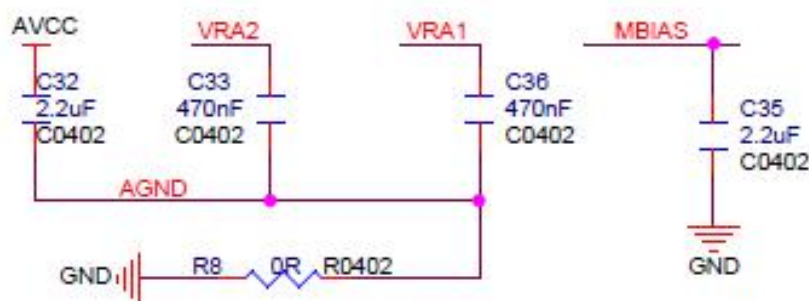
3.11 音频电路设计

V853 Audio Codec 音频设计建议如下：

- AVCC 对地电容为 2.2uF，VRA1/VRA2 对地电容为 470nF，这些值不得随意更改。
- AVCC/VRA1/VRA2/AGND 通过 0R 电阻单点到地。

SOC 音频电源部分设计如图 3-20 所示。

图 3-20 SOC 端音频部分设计



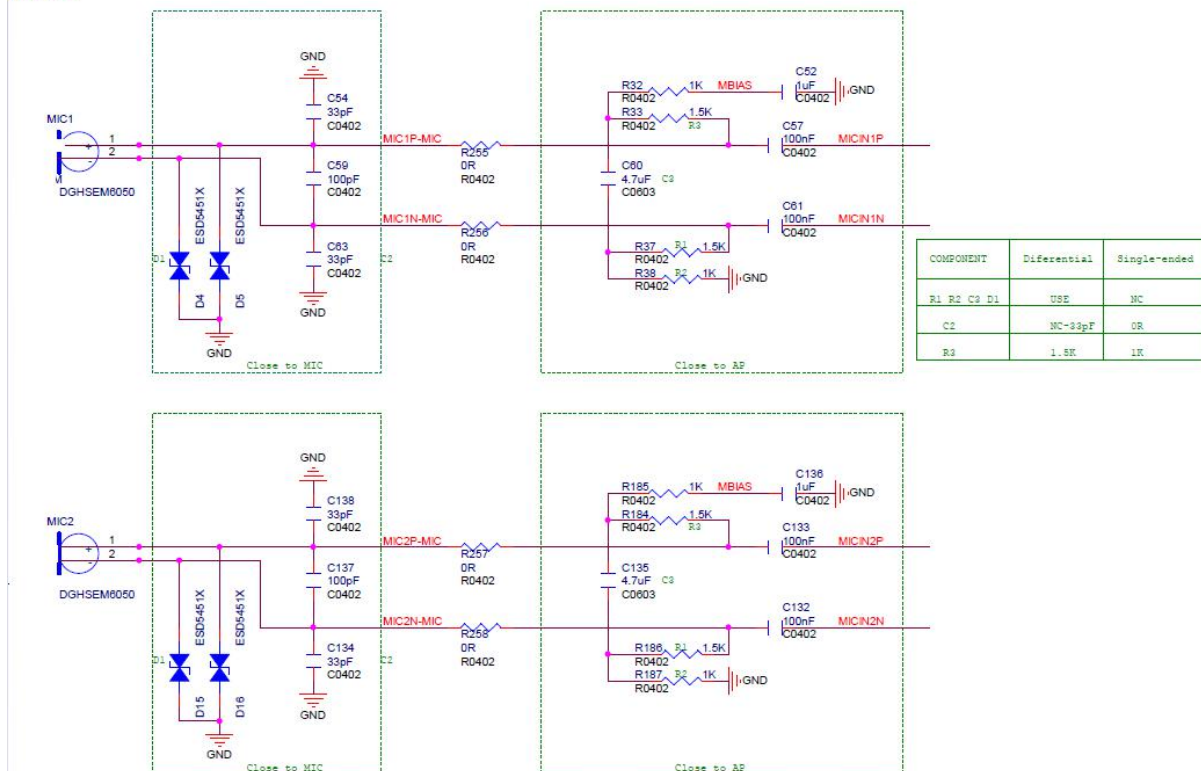
- MIC 的电路设计推荐了单端设计和类差分设计方案，如果产品需 costdown，建议采用单端设计方式，可以省掉一个 ESD 器件。如果需提高 mic 音质和抗干扰性，推荐采用类差分设计。
- MIC 的偏置电阻需要根据 MIC 的规格进行匹配，为了给 MIC 输出信号提供一个正负半周最大动态范围，尽量保障 MIC 的输出端直流电压等于偏置电压 MBIAS 的一半。

- MIC 输入端到 SOC 之间建议预留 0R 电阻方便 debug ESD, 阻值范围建议 2.2R~5.1R, 根据 ESD 测试结果确定所加电阻阻值。

MIC 参考设计如图 3-21 所示。

图 3-21 MIC 参考设计

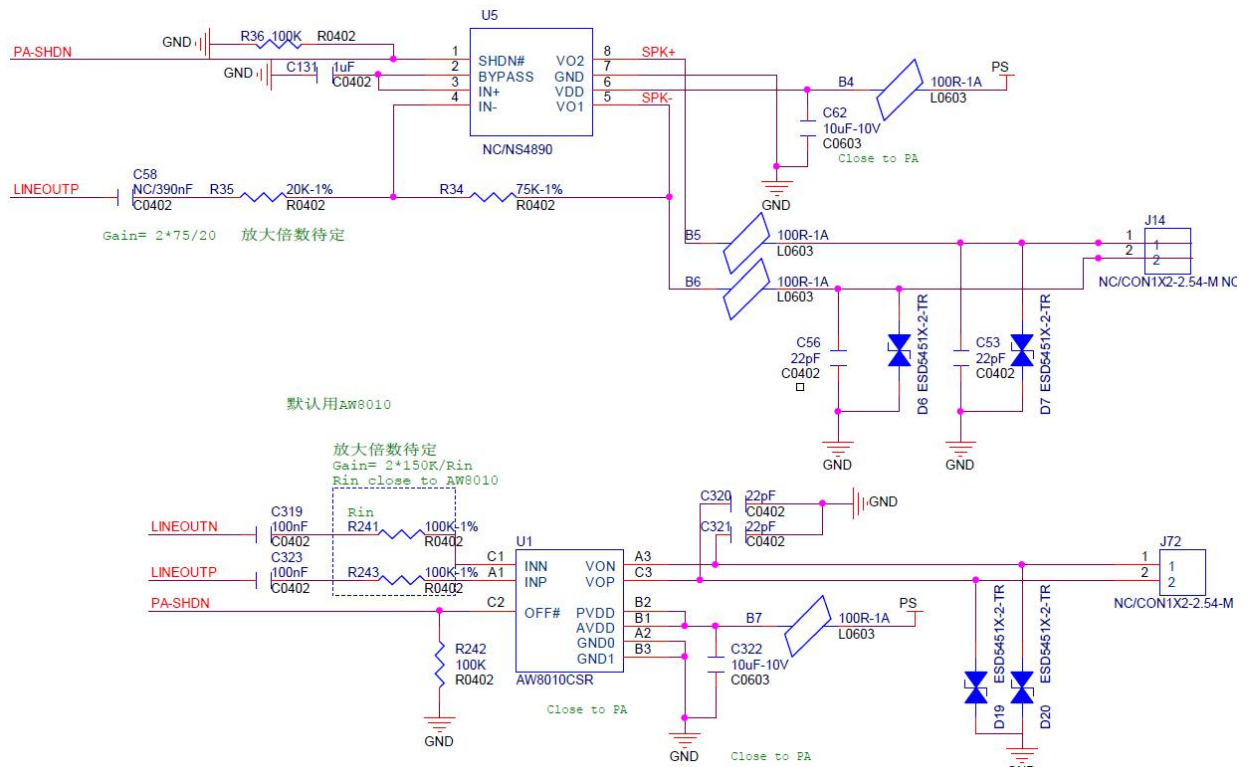
MIC



- V853 支持单喇叭输出，单端输出方式将功放默认接到 LINEOUTP 信号上，同时将功放使能信号默认下拉电阻到地，避免上下电喇叭异响。功放设计时，注意反馈电阻的选用，反馈电阻的选用需参照功放的规格书，避免放大系数过大导致声音失真。
- 喇叭供电建议增加 1R 电阻提高 ESD 性能。

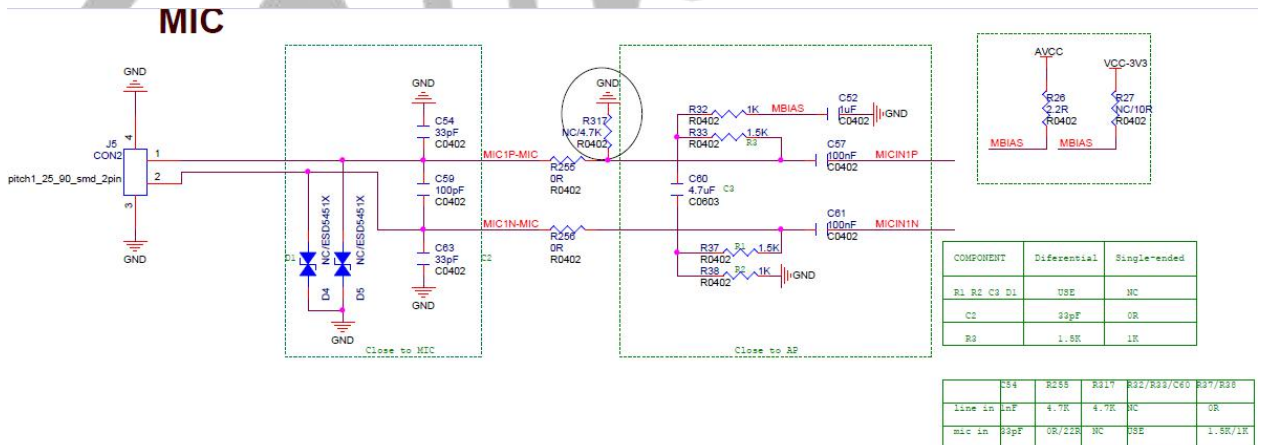
LINEOUTP/N 作为 SPEAKER 单端和差分输出电路如图 3-22 所示。

图 3-22 喇叭参考设计

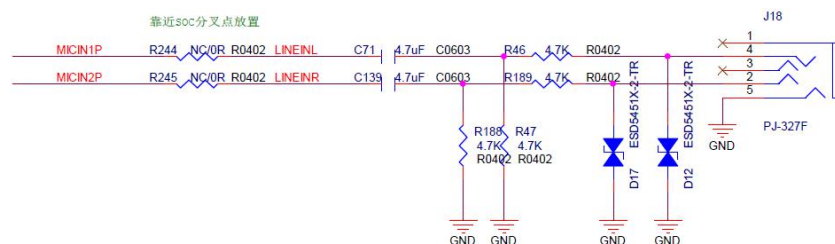


- LINE IN 输入通过 K 级电阻分压一半接到 SOC MIC1P/MIC2P 输入端，LINE IN 设计电路如图 3-23 所示。

图 3-23 LINE IN 参考设计



LINE IN



V853 支持两套 I2S 接口，使用时注意 SOC 端 DATA IN/OUT 反接，即 I2S-DIN 接外设的 DOUT 如 BT-PCM-OUT，I2S-DOUT 接外设的 DIN 如 BT-PCM-DIN。



注意

LINE IN 功能需要使用 MIC 功能，若产品应用上需要 line in 功能，请联系全志 FAE。

3.12 ADC 电路设计

V853 芯片支持 4 套 GPADC 接口，采样位数为 12-bit，有效位为 9-bit，最大采样率为 1Mhz，可以用来做按键功能和检测电池电压功能，耐压为 1.8V。

ADC 设计建议如下：

- 按键分压电阻，请使用推荐的阻值，推荐使用 1%精度电阻。添加按键时保证按键按下后，GPADC 网络电压范围为 0~1.8V，检测精度为 0.12V，即两按键间压差为 0.12V 以上。
- GPADC 按键键数选择，根据产品需要进行增加或者删减。如果不需要按键，若考虑 SDK 兼容，则 GPADC 必须加 51K 上拉电阻到 AVCC，否则 GPADC0 可以 floating。
- GPADC 作为对外接口如按键使用时，接口到主控端需串接 K 级电阻。
- RESET、POWER 按键请根据产品需求进行删减。
- UBOOT 按键为硬件触发烧写程序按键，请根据产品需求决定是否预留。
- 全志烧写程序的方式有三种，请务必保证其中一种烧写更新固件方案，避免机器程序被破坏后无法软件烧录的情况。

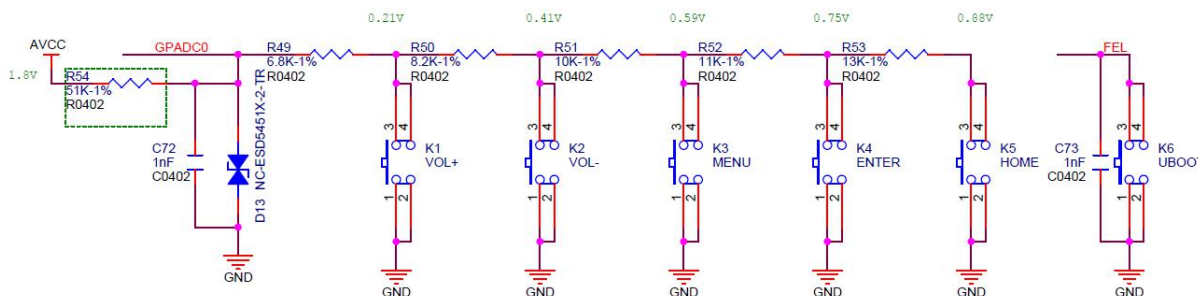
1) UBOOT 按键通过 USB 口烧写固件；

2) 音量加键或者减键+POWER 按键；

3) PF 口 CARD 固件升级方式；

按键推荐电路如图 3-24 所示。

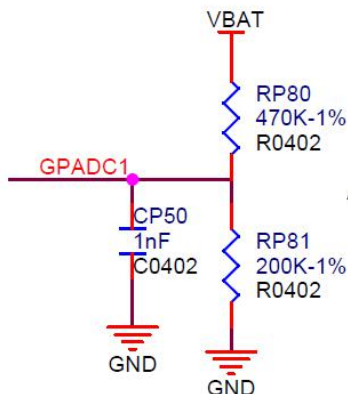
图 3-24 按键参考设计



- GPADC1 作为电池电压检测功能使用,采用分压电阻电路,电阻阻值不得随意更改。若是 AXP2101 方案,可使用 AXP2101 内部电量计。

ADC 电池电压检测推荐电路如图 3-25 所示。

图 3-25 电池电压检测电路参考设计



3.13 WiFi/BT 电路设计

WiFi/BT 部分设计要点如下：

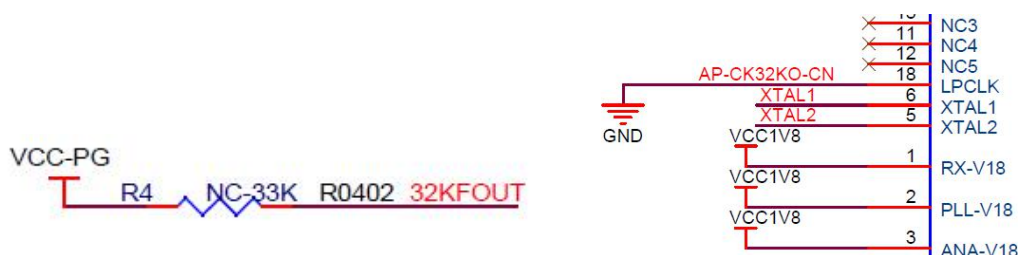
- WiFi 模组 SDIO 电平要与 PG 口电平保持一致。
- WiFi 模组接相关唤醒中断控制建议接到 PG 口, 若接到其他组 IO, 需注意电平匹配问题。
- SDIO 的 CLK 上需要串接 33R 电阻, 并要并联一个 5.6pF 电容到地, 降低 CLK 上的辐射干扰, 因为 SDIO 的 CLK 本身也是会干扰 WiFi。
- 主控端 UART TX/RX/CTS/RTS 信号必须与模组端信号交叉连接, 主控端 PCM IN/OUT 信号必须与模组端信号交叉连接。BT 模块 UART 和 I2S 连接关系如表 3-11 所示。

表 3-11 BT 信号接法说明

主控端	BT 端		主控端	BT 端
UART-RX	UART-TX		PCM-CLK	PCM-CLK
UART-TX	UART-RX		PCM-SYNC	PCM-SYNC
UART-RTS	UART-CTS		PCM-DOUT	PCM-DIN
UART-CTS	UART-RTS		PCM-DIN	PCM-DOUT

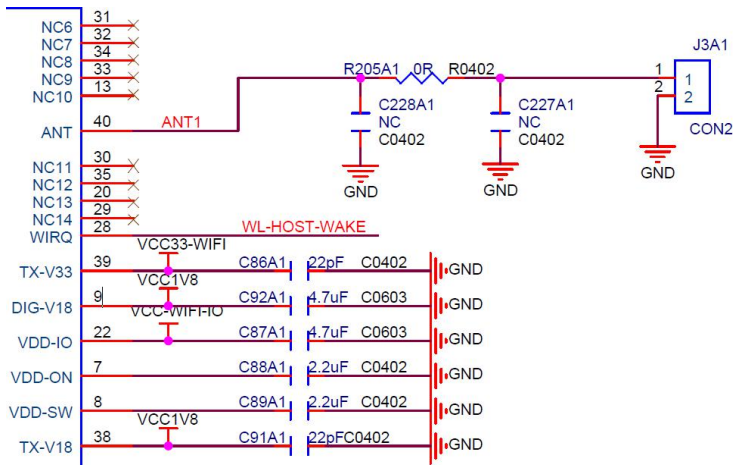
- 搭配全志 XR819S/XR829 时, XR819S/XR829 晶振可接主控的 REFCLK-OUT PIN。
- 全志主控的 CLKFANOUT 可以输出 32.768KHz 时钟, XR819S/XR829 内部自带 32K 晶振电路, 若不使用主控的 32.768KHz 时钟输出信号时, 需将 LPCLK 脚接地处理。32K fanout 参考设计如图 3-26 所示。

图 3-26 32K fanout 参考设计



- WiFi 的天线设计建议预留Π型匹配电路, 便于天线的匹配调试。天线匹配参考设计如图 3-27 所示。

图 3-27 天线匹配参考设计

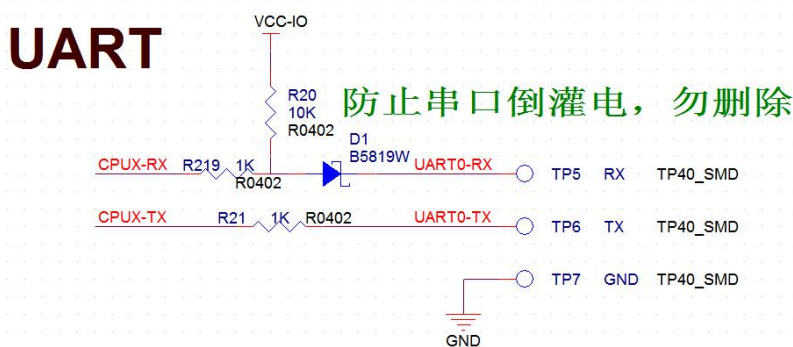


- 对于其它不同厂家的 WiFi 模组，具体原理设计请参照 WiFi 原厂的设计指导文档。

3.14 UART

CPUX 的 JTAG 调试接口以及 UART 接口需要保留，以便开发调试。量产可以不贴元件，但尽量保留测试点，增加量产问题的分析调试方法。UART 接口建议增加防漏电电路，避免样机在长期老化测试中样机和电脑之间存在漏电，导致机器工作不正常或者电脑被拉挂，二极管压降要求小于 1V，避免电平识别错误。串口 RX 和 TX 建议串接 1K 电阻，提高 ESD 性能，防止连接电脑串口时静电损坏串口 PIN。UART 电路参考设计如图 3-28 所示。

图 3-28 UART 串口参考设计



3.15 TWI

- PI 口 TWI4 为主控与 PMIC 专用 TWI 通讯总线，不建议与其他 I2C 设备共用。
- TWI 最大支持 400Kbit/s 的传输速率，总线上加上拉电阻，推荐值为 2.0K~2.2K，上拉电源为对应 GPIO 电源域，各设备地址不得有冲突。
- TWI 若加了电平转换电路，建议配置为 100Kbit/s 的传输速率。
- TWI 推荐使用参考设计分配，注意同一套 TWI 有可能可以从 PH/PI/PE 口引出，设计只能用其中一组。

3.16 GPIO&特殊管脚说明

- GPIO 分配建议按照标案图进行设计，请勿随意调整，降低软件适配工作量。
- GPIO 分配时，请确保电平相匹配，上拉的电压域必须为此 GPIO 的电源域，以防外设向 SOC 漏电情况发生。如 PE 口的上拉电阻必须上拉到 VCC-PE 口。所有原理图，此项是必检查项目。
- 具有独立电源引脚的 GPIO，可以根据外设需求进行电压的适配调整，如 PC，PE，PG 等，全志 PH 口一般由 VCC-IO 供电默认 3.3V，使用时注意外设电平匹配问题。
- V853 平台 GPIO 电源域如下表 3-11 所示。

表 3-11 GPIO 电源域

GPIO 分组	控制电源域	IO 电源域	IO 电压	备注
PA	VDD-SYS	VCC-PA	1.8/3.3V	若 MIPI-CSI MCLK 和 TWI 信号用 PA 口，则固定为 1.8V 供电
PC	VDD-SYS	VCC-PC	1.8/3.3V	
PD	VDD-SYS	VCC-PD	1.8/3.3V	
PE	VDD-SYS	VCC-PE	1.8/3.3V	
PF	VDD-SYS	VCC33-PF VCC18-PF	1.8/3.3V	1) 当产品未使用 CARD 功能时，可当成 3.3V IO 使用，VCC18-PF 和 VCC33-PF 都需要供电；
PG	VDD-SYS	VCC-PG	1.8/3.3V	
PH	VDD-SYS	VCC-IO	3.3V	
PI	VDD-SYS	VCC-PI	1.8/3.3V	若是有接 PMU，建议为 1.8V

- PC/PF 口因在启动过程中有初始化启动介质的操作，初始化过程中 IO 会有高电平脉冲信号，所以不建议 PC/PF 口当做指示灯、喇叭或外设供电使能等功能使用。
- 若外设对 GPIO 比较敏感且影响用户体验的功能模块控制 IO 如指示灯控制、喇叭功放使能等建议在相应控制 IO 增加下拉电阻，解决上电指示灯闪和上电喇叭爆破音。
- 对于这一组有未使用的 IO 则建议该不用的 IO 浮空处理。
- 对于整组未使用的 GPIO，若该组 GPIO 是独立电源域，如 VCC-PE、VCC-PI 等，整组 GPIO 建议接地，电源浮空。
- V853 部分 GPIO 有集成上下拉电阻，可通过软件配置，各组 GPIO 上下拉电阻如表 3-1 所示。

表 3-12 GPIO 内部上下拉电阻

GPIO 分组	上下拉电阻	精度
PC1-PC10/PF3	15K	±20%

PG0-PG5	33K	±20%
PI1~PI4	4.7K	±20%
其他	100K	±20%

- PI 口 PI1~PI4 TWI 信号内部有 4.7K 上拉电阻，默认使用内部上拉，无需外部上拉，设计上仍然建议预留上拉电阻，便于调试测试。
- 当某组 GPIO 电源域设置为 1.8V IO 时，注意检查软件 IO 耐压模式是否正确，具体请查看 GPIO 0X0340 寄存器。



说明

设计指南未涉及模块请查阅 datasheet，具体应用案里的关键电路若有疑问的请联系全志 FAE。

4 PCB 设计

4.1 叠层设计

V853 可以采用 4 层板设计也可采用 6 层板设计。

- 4 层板整体采用 SGSP 叠层结构

4 层板厚 0.8~1.6mm 叠层设计参考如图 4-1 所示。

图 4-1 4 层板厚 0.8~1.6mm 叠层参考设计

Total layers:	4									
Board thickness:	0.8~1.6 mm +/- 10%									
PCB material:	Typical FR4									
Surface finish:	ENIG(化学镀金)									
Stackup Control Table										
—	Stackup Structure			Impedance Requirements				Layer definition		
Layer	Type	Thickness (mil)		Dk(with Sim Z0)	Impedance spec (Ohms)	Reference layer	Width/space (mil)	Sim Z0(Ohms)	DDR	other signals
	solder mask	0.5	SM	3.4-3.8						
1	TOP	1.6	0.3oz+plating		50±10%	2	4.5	51.34	Signal	Signal
					85±10%	2	5/5	86.56		
					90±10%	2	4.4/5	91.29		
					100±10%	2	4/8	100.77		
2	prepreg	2.5~3.2		3.5-4.5					GND	GND
	GND	1.2	1.0oz							
3	core	20~50		3.8-4.5					Signal	Power
	PWR	1.2	1.0oz		50±10%	4/2	4	50.16		
4	prepreg	2.5~3.2		3.5-4.5	85±10%	4/2	4.1/5	84.62	Power/GND	Signal
	BOTTOM	1.6	0.3oz+plating		50±10%	3	4.5	51.34		
					85±10%	3	5/5	86.56		
					90±10%	3	4.4/5	91.29		
					100±10%	3	4/8	100.77		
	solder mask	0.5	SM	3.4-3.8						
Board thickness:		31~63								

- 6 层板整体采用 SGSPGS 叠层结构。

6 层板厚 1.6mm 叠层设计参考如图 4-2 所示。

图 4-2 6 层板厚 1.6mm 叠层参考设计

Total layers:	6									
Board thickness:	1.6 mm +/- 10%									
PCB material:	Typical FR4									
Surface finish:	ENIG(化学镀金)									
Stackup Control Table										
—	Stackup Structure			Impedance Requirements				Layer definition		
Layer	Type	Thickness (mil)		Dk(with Sim Z0)	Impedance spec (Ohms)	Reference layer	Width/space(mil)	Sim Z0(Ohms)	DDR	other signals
	solder mask	0.5	SM	3.4-3.8						
1	TOP	1.6	0.3oz+plating		50±10%	2	4.5	NA	Signal	Signal
					85±10%	2	5/5	NA		
					90±10%	2	4.4/5	NA		
					100±10%	2	4/8	NA		
2	prepreg	2.5~3.2		3.5-4.5					GND	GND
	GND1	1.2	1.0oz							
3	core	3.5~4		3.8-4.5					Signal	Signal / power
	SIG	1.2	1.0oz		50±10%	2&4	4.5	NA		
					85±10%	2&4	5/6.5	NA		
					90±10%	2&5	4.4/6.1	NA		
					100±10%	2&5	4/7	NA		
4	FR4	~40		3.5-4.5					power	Signal / power
	SIG	1.2	1.0oz		50±10%	2&5	4.5	NA		
					85±10%	2&5	5/6.5	NA		
					90±10%	2&5	4.4/6.1	NA		
					100±10%	2&5	4/7	NA		
5	core	3.5~4		3.8-4.5					Signal	GND
	SIG/GND2	1.2	1.0oz		(45~50)±10%	4&6	3	NA		
6	prepreg	2.5~3.2		3.5-4.5	85±10%	4&6	3.5/6.0	NA	GND	Signal
	BOTTOM	1.6	0.3oz+plating		50±10%	5	4.5	NA		
					85±10%	5	5/5	NA		
					90±10%	5	4.4/5	NA		
					100±10%	5	4/8	NA		
	solder mask	0.5	SM	3.4-3.8						
Board thickness:		~63								



注意

若 PCB 层数或者叠层结构与全志 DRAM 模板叠层不一致时，需要重新计算 DRAM 各走线是否满足阻抗要求。并联系全志 FAE 进行检查确认。

4.2 SOC fanout

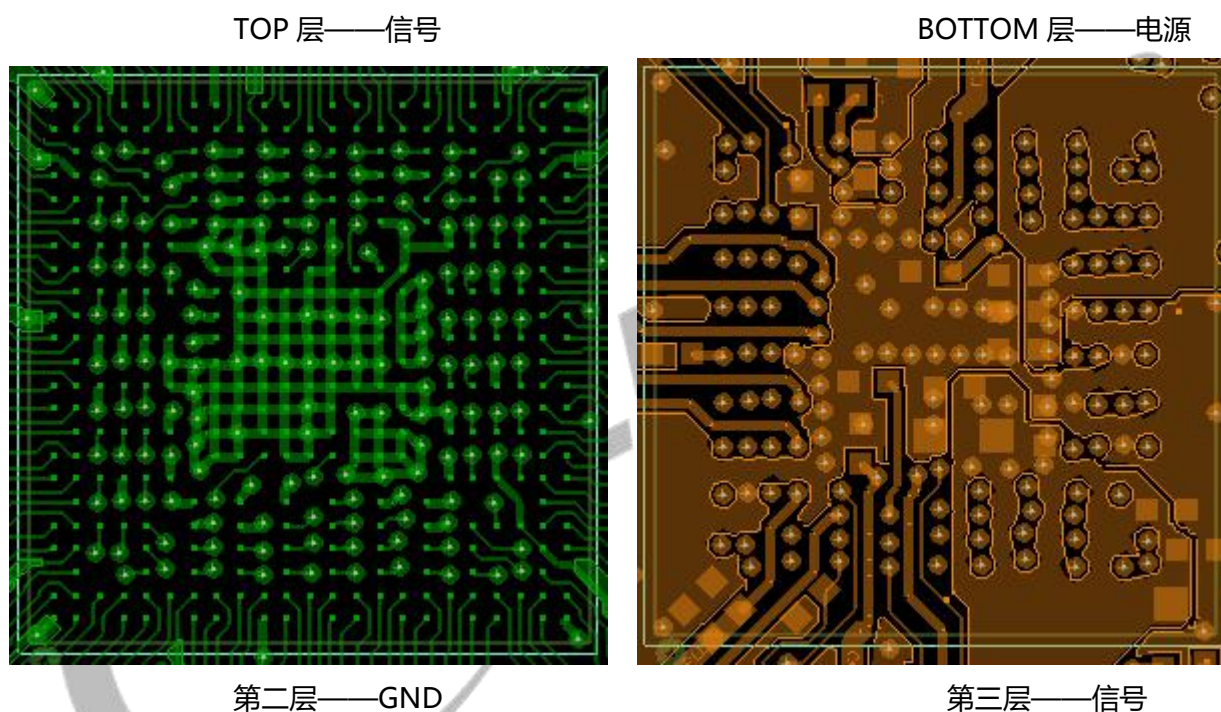
V853 封装为 TFGBA-318, 0.5 ball pitch, 0.3ball size, PCB 设计时走线需要采用 4mil 线宽-4mil 间距, 部分走线可能需要 3.5MIL。采用 4 层板 fanout 即可。

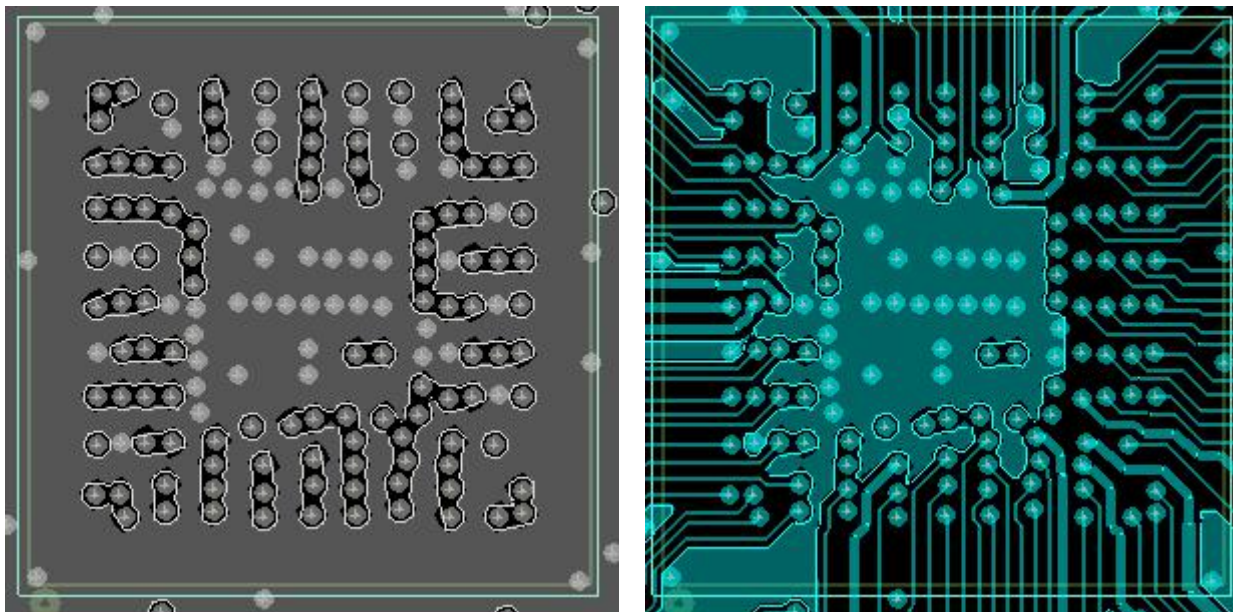
4 层板 Fanout 建议如下:

- 第一圈、第二圈的 Ball, 可以从顶层直接拉出走线 (fanout 区域线宽 4mil, 线距 4 mil, 出了 fanout 区域按叠层表线宽 layout, 线距至少按 2 倍线宽计算)。
- 第三到六圈的 Ball, 用 8/16mil 过孔扇出, 从内层层出线;
- Via 优先通道式排布, 留出尽量多的走线通道。
- 中间 Power 和 GND 的球, 用 8/16mil 过孔从 Bottom 层覆铜出线, 注意留出尽量多的覆铜通道。

V853 4 层板 fanout 示例如图 4-3 所示。

图 4-3 SOC 4 层板 fanout 示例





4.3 小系统 layout 建议

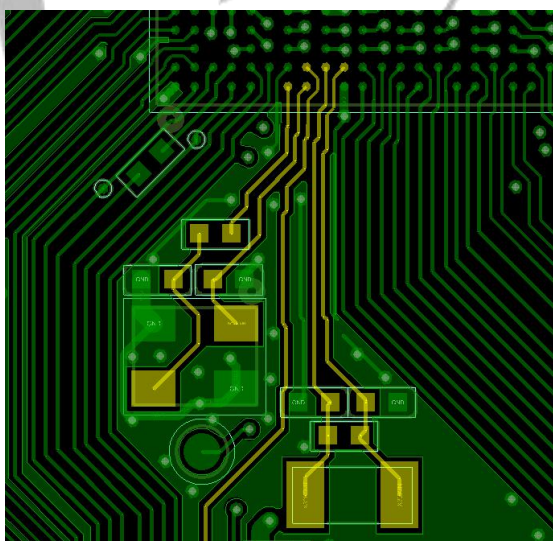
4.3.1 系统时钟 LAYOUT 设计

DCXO 时钟和 32K 时钟建议 Layout 采用以下原则：

- 晶振尽量靠近 IC 摆放，使 DCXO-XOUT/DCXO-XIN、X32KOUT/X32KIN 走线小于 600mil，减少 PCB 走线寄生电容，保证晶振频偏精度。
- 晶振的匹配电容必须靠近晶振管脚摆放。
- 晶振及其走线区域的外围和相邻层，用 GND 屏蔽保护，禁止其它走线。
- DCXO-RFCLK 时钟给 WiFi 模组使用，全程包地走线，参考层完整。

系统时钟走线 layout 参考如图 4-4 所示。

图 4-4 系统时钟走线 LAYOUT 参考



4.3.2 复位和系统配置 Layout 设计

复位和系统配置 PIN 建议 Layout 采用以下原则：

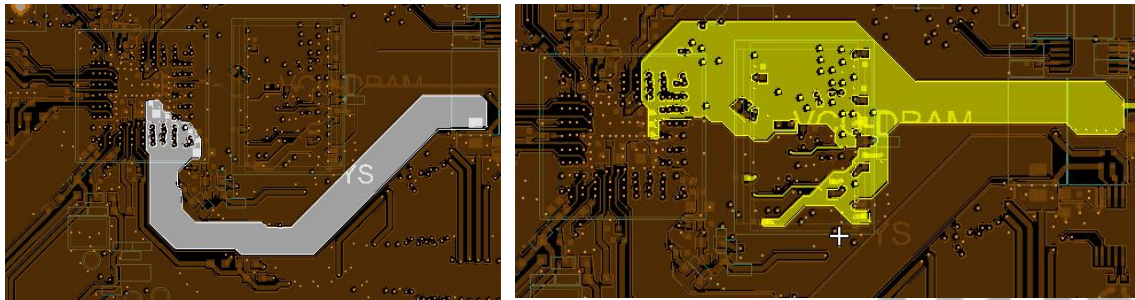
- 复位信号 PCB 需要包地走线、避开接口信号，对地 1nF 电容靠近 SOC 放置，提高 ESD 性能。
- NMI 非屏蔽中断信号，PCB 需要包地走线，对地 1nF 电容靠近 SOC 放置。
- 时钟配置相关 TEST 等 PIN 浮空处理。

4.3.3 SOC 电源 Layout 设计

SOC 端电源建议 Layout 采用以下原则：

- SOC 端电源 fanout 建议按照全志模板来，SYS/DRAM 两路大电流电源以铺电源平面实现，SYS 布线最窄处要求有 1A 的通流能力。SYS/DRAM 两路大电流电源平面如图 4-4 所示。

图 4-5 VDD-SYS/VCC-DRAM 电源走线参考



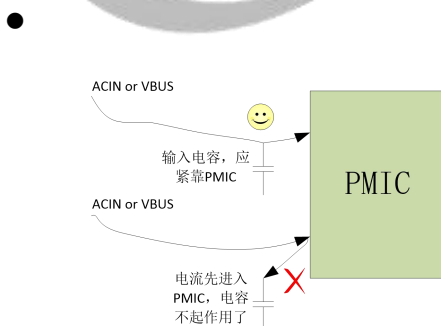
- VDD-SYSFB 第四层走线，需要避免开关时钟等敏感信号。
- 各路电源电容需靠近 SOC 放置，放置距离要求小于去耦半径。
- VCC-RTC/VCC-PLL/AVCC 等敏感电源电容靠近 SOC pin 脚放置。

4.4 电源 LAYOUT 设计

PMIC 电源建议 Layout 采用以下原则：

- PMIC 及电感、电容等主要器件建议放置在同一层；对于 PMIC 使用面积特别紧张的，可以把电感电容等大器件放至在 PMIC 底层正下方。
- 输入滤波电容尽量靠近 PS Pin，使外部来的电先通过电流滤波后再进入到 PMIC，如有过孔到电源层的过孔不少于 4 个。电源输入电容走线参考如图 4-6 所示。

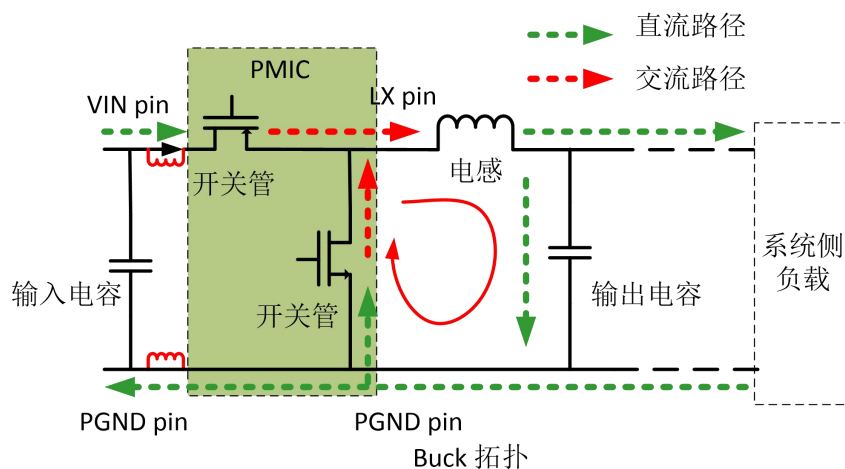
图 4-6 PMU 输入电容走线参考



- DCDC 输出电容建议与电感垂直放置，减少纹波测试引入电感 LX 信号的干扰。
- PMIC 输出均为 BUCK 电路，输入电容尽量靠近 PMIC 的输入 pin。如果输入电容离 PMIC 的 pin 太远，容易引入线感，造成输入过压。按照下图红色箭头减小对于电感和输出电容构成的回路面积。

BUCK DCDC 电流回路如图 4-7 所示。

图 4-7 BUCK DCDC 电流回路



- 电感如与 PMIC 相接，保证电容位置的前提下，尽量靠近 PMIC 的 LX pin，线径满足电流要求。
- PMIC 的 PS 输入最好有一个电源平面。
- 电压反馈线，输出电压经过电容滤波后，紧挨电容取点，用 4~10mil 的线引入 PMIC 即可。
- 反馈线在 TOP 面与 LX 的平行走线尽量短，最好不要从电感下方、交流路径下方或者紧挨 CLK 之类的跳变信号。
- SYSFB 采用远端反馈，反馈线从内层走线，避开 CLK 等时钟敏感信号，远离敏感信号过孔，沿其电源平面一起走到负载。
- 有些 DCDC1 的反馈走线给 PMU 的其他 LDO 供电，走线需要加粗。
- 输入电容尽量靠近 PMIC 的 LDOIN Pin，保证输入路径的宽度满足电流要求，通常 100mA~1A。
- 输出电容尽量靠近 PMIC 的 LDOOUT Pin，保证 PMIC 的输出经过 LDO 电容后再向负载供电，线径满足电流要求，通常为 100mA~500mA。
- VREF 的电容尽量靠近 Pin 脚，电容接地点尽量远离 SW/CLK 等开关和时钟信号，避免受干扰。
- PMIC 与系统通讯 RESET/NMI 等信号是跳变信号，走线应避开其他敏感信号，采用 4mil 的走线。
- PMIC 底部 PAD 多打孔到地层相连，在地层用全连接方式，利于散热。
- VBUS 的路径尽量用铺铜，宽度尽量大，最少应保证可以流过最大的规格电流。

4.5 DRAM LAYOUT 设计

全志模板经过 SIPI 仿真优化或开发板性能验证，DRAM 设计请直接移植全志提供的 PCB 模板，以确保 DRAM 性能和稳定性。

如果条件限制无法完全导入模板，请参照模板说明进行 Layout。



注意

DRAM layout 请完全 COPY 全志 DEMO 设计，若有新设计需求，请联系全志 FAE 咨询相应 layout 要求，PCB 完成时需给到全志 FAE 检查确认。

4.6 eMMC LAYOUT 设计

eMMC 建议 Layout 采用以下原则：

- eMMC 应靠近主控摆放，去耦电容均靠近 eMMC 电源管脚摆放。
- VCC/VCCQ 线宽不小于 12mil，或直接使用敷铜代替电源走线；电源线上如有过孔，则换层处过孔数量不少于 2 个，避免过孔限流影响供电。
- eMMC-CLK 信号串接电阻靠近主控摆放，串阻与主控连接走线距离 $\leq 300\text{mil}$ 。
- eMMC 与主控走线间走线 $\leq 2000\text{mil}$ ，走线路径上尽量少打过孔，不超过 3 个。
- 信号线阻抗控制 50ohm，线间距不小于 2 倍线宽。
- D0~D7、DS 相对 CLK 等长控制 $\leq 300\text{mil}$ 。
- 走线尽量避开高频信号，务必保证走线参考平面完整。
- CLK 和 DS 信号做包地处理，包地通过过孔与 GND 平面连接，如果不能包地则保持线间距 ≥ 3 倍线宽。
- eMMC NC/RFU 等保留引脚都悬空，不可为了走线方便将这些信号与电源、地、或其他 eMMC 信号连接在一起。如果确实走线有困难，可适当修改 eMMC PCB 封装，去掉一些 NC/RFU 的 ball。

4.7 SD Card LAYOUT 设计

CARD 建议 Layout 采用以下原则：

- CLK 串接电阻靠近主控摆放，串阻与主控 CLK 连接走线距离 $\leq 300\text{mil}$ 。
- VCC-CARD 网络上的电阻和电容网络靠近卡座摆放，VCC-CARD 走线宽度不小于 12mil。
- 信号线阻抗控制 50ohm，长度小于 10CM，线间距不小于 2 倍线宽，D0~D3 相对 CLK 等长控制 $< 500\text{mil}$ 。
- 走线尽量避开高频信号，信号线走线参考平面完整。
- CLK 做包地处理，包地通过过孔与 GND 平面连接。如果不能包地则保持线间距 ≥ 3 倍线宽。
- ESD 器件靠近卡座放置，卡座管脚走线先经过 ESD 器件，再连其它器件。
- 卡座外壳接地要充分。

4.8 SDIO LAYOUT 设计

SDIO 建议 Layout 采用以下原则：

- CLK 串接电阻靠近主控摆放，串阻与主控 CLK 连接走线距离 $\leq 300\text{mil}$ 。
- 信号线阻抗控制 50ohm，长度小于 10CM，线间距不小于 2 倍线宽，D0~D3 相对 CLK 等长控制 $< 500\text{mil}$ 。
- 走线尽量避开高频信号，信号线走线参考平面完整。
- CLK 做包地处理，包地通过过孔与 GND 平面连接。如果不能包地则保持线间距 ≥ 3 倍线宽。

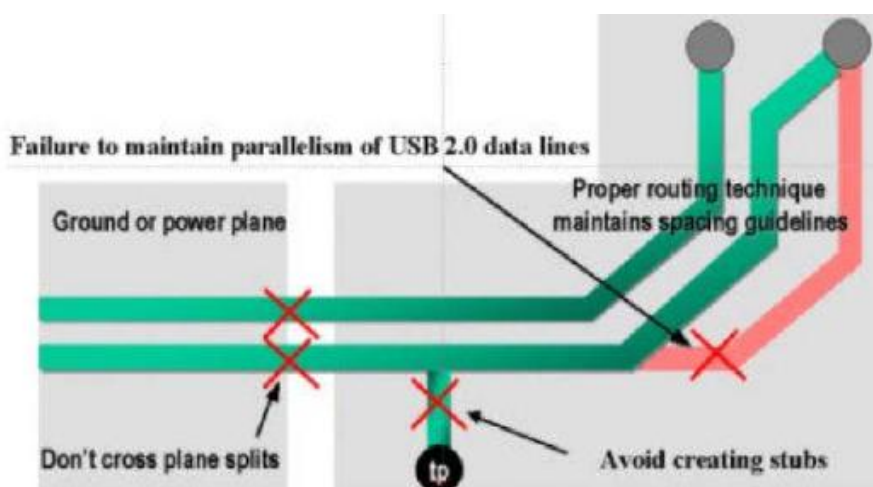
4.9 USB LAYOUT 设计

USB 建议 Layout 采用以下原则：

- VCC33-USB 走线线宽 8~12mil, VCC33-USB 的 0.1uF 电容, 需要靠近 IC 摆放。
- fUSB-DM/USB-DP 信号差分走线, 差分阻抗为 90ohm, 保证走线参考层不跨分割。
- USB-DM/USB-DP 建议与其它信号的间距大于 10 mil, 避免走线走在器件下面或者与其他信号交叉。
- USB-DM/USB-DP 走线在有空间的情况下, 走线两边包地并打地过孔。
- USB-DM/USB-DP 走线拐角的角度需保证大于等于 135 度; 保证 USB 走线的长度控制在 4000mil 以内, 走线的过孔不超过 2 个。
- TVS 器件需要靠近 USB 座子摆放。
- USB 座子金属外壳接地管脚建议 TOP 面建议全铺接地, 其他层也建议充分接地。

USB 走线参考如图 4-8 所示。

图 4-8 USB 走线参考



4.10 显示屏 LAYOUT 设计

4.10.1 RGB LAYOUT 设计

RGB 建议 Layout 采用以下原则：

- 信号线上串接电阻建议靠近座子放。
- LCD 走线尽量满足 3W 原则, 如不能, 则至少要满足 2W 原则。
- LCD-CLK 要做包地处理, 同时要注意对包地打孔。
- LCD 线的参考平面要完整。
- 背光电路要求: PS, VLED+, VLED-所在的网络的线宽要在 20mil 以上。

4.10.2 MIPI-DSI LAYOUT 设计

MIPI-DSI 建议 Layout 采用以下原则：

- 阻抗要求: 单端 50ohm, 差分 100ohm。
- 差分对内长度差 10mil 内, 差分对之间的长度差 160mil 内。
- 尽量保证走线的参考平面完整。
- 背光电路要求: PS, VLED+, VLED-所在的网络的线宽要在 20mil 以上。

4.11 CSI LAYOUT 设计

CSI 建议 Layout 采用以下原则：

- AVDD, IOVDD 和 DVDD 的滤波电容靠近模组放置。
- MCLK 的对地电容及串联电阻靠近主控, PCLK 串接电阻靠近 sensor 端。
- MCLK 需要包地走线, 如果 PCB 空间有限, 不能保证信号线完整包地时, 需保持该信号线在间距 $\leq 15\text{mil}$ 空间内无其他走线。
- NCSI_PCLK 需要包地走线, 如果 PCB 空间有限, 不能保证信号线完整包地时, 需保持该信号线在间距 $\leq 15\text{mil}$ 空间内无其他走线。
- MIPI 差分走线需要 100ohm 阻抗匹配, 优先走线, 走线尽量短, 少换层。
- 差分对内等长 10mil, 对间等长 $\leq 300\text{mil}$ (越小越好)。
- 为减小差分对间干扰, 各差分对间用地线隔开, 或保持间距 $\geq 15\text{mil}$ 。



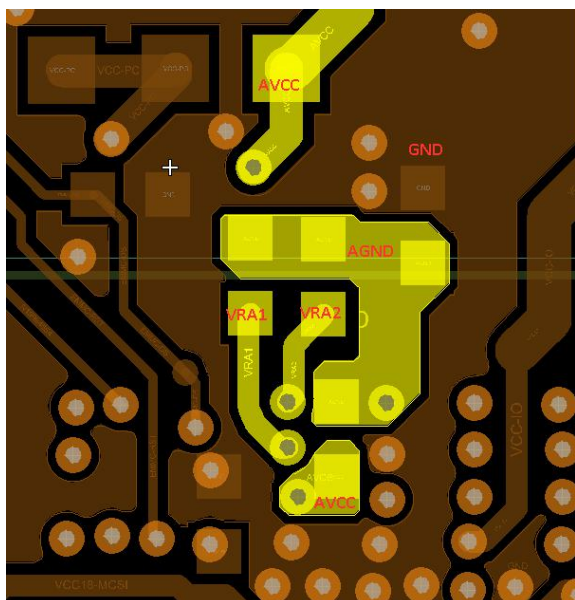
4.12 音频 LAYOUT 设计

SOC 端音频部分建议 Layout 采用以下原则：

- AVCC/VRA1/VRA2/AGND 接地电容、电阻依次靠近主控摆放。
- AVCC 和其他电源合并时，layout 注意和其他合并的电源采用分支走线，减小其他电源对 AVCC 的干扰。
- PCB 走线 AVCC 线宽 $\geq 10\text{ mil}$ ；VRA1 线宽 $\geq 10\text{ mil}$ ；线长 $\leq 300\text{ mil}$ 。
- AGND 需有一片覆铜，覆铜宽度 $\geq 20\text{ mil}$ ，AGND 接地电阻连接到 GND 平面的过孔 ≥ 2 个。

AVCC/VRA1/VRA2/AGND 走线参考如图 4-9 所示。

图 4-9 AVCC/VRA1/VRA2/AGND 走线参考



MIC 建议 Layout 采用以下原则：

- MIC 外围器件位置按照原理图要求摆放。
- MICxP/MICxN，类差分走线，线宽 4mil、线距 4mil，包地。
- MIC 走线及摆放位置远离 ($\geq 200\text{ mil}$) RF、PA、开关电源。
- MBIAS 与 MICxP/MICxN 并行走线，线宽 10mil。
- ESD 器件必须靠近 MIC 摆放，从 MIC 引出来的走线必须先经过 ESD 器件，在连接其他器件。
- LINEINL 信号包地，线宽 4mil，走线及过孔远离高速信号及时钟信号。
- LINEOUTP/N 每对 P、N 信号分别类差分走线，线宽 4mil，线距 4mil，包地。

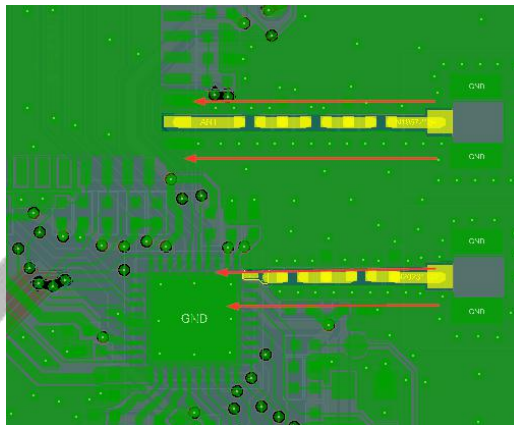
4.13 WiFi 和天线 LAYOUT 设计

WiFi 建议 Layout 采用以下原则：

- 模组尽量靠近天线或天线接口。远离电源、DDR、LCD 电路、摄像头、马达、SPEAKER 等易产生干扰的模块。
- SDIO 的走线参考 SDIO 部分的 layout 设计要求。
- 天线馈线控制 50ohm，为了增大线宽减少损耗，通常馈线相邻层挖空，隔层参考参考平面需要是完整地，同层地距离天线馈线距离保持一致，两边多打地过孔，地过孔需要回到芯片 EPAD。

WiFi 天线地回路参考设计如图 4-10 所示。

图 4-10 WiFi 天线地回路 LAYOUT 参考



- 射频线需要圆滑不要换层，并进行包地处理，两边均匀的打地过孔，射频线需要远离时钟线的干扰。
- 合理布局天线馈线的匹配电容电阻，使馈线平滑，最短，无分支，无过孔，少拐角。
- 如使用 PCB 走线作天线，请确保天线走线附近区域完全净空，净空区大于 50mm²，天线本体至少距周围的金属 1cm 以上。

5 EMC 设计

5.1 ESD 设计

产品 ESD 测试经常遇到 LCD 花屏、卡机、TP 触摸失灵、系统崩溃等问题。产品的 ESD 问题与结构工艺设计、电子系统设计、软件设计、元器件选型等密切相关。如果产品对 ESD 性能要求较高，为了减少产品开发周期，产品设计之初要考虑到 ESD 设计。主要从原理图设计、PCB 设计、结构工艺、软件几个维度上提前做好设计。

5.1.1 原理图 ESD 设计

原理图 ESD 设计建议参考如下：

- 系统关键 PIN TEST 等 PIN 为敏感信号，易受干扰，抗 ESD 能力较弱，方案应用时不要引出走线。
- 系统挂死与 IO 的抗 ESD 能力有关，提高各接口输入 PIN 的 ESD 能力有助于提高系统 ESD。

如 HP-DET/USB-ID/CARD-DET/MIC-DET 等检测 PIN，将其到 SOC 端串接电阻有利于提高 ESD 性能。

- HS-MIC 信号为接口外露 PIN，除了增加 ESD 保护器件外，还要增加在 HS-MIC 到 SOC 端串接 1K~1.5K

电阻，或对地增加 1nF 电容；现有方案直接将 HS-MIC 对地电容改为 1nF 即可。

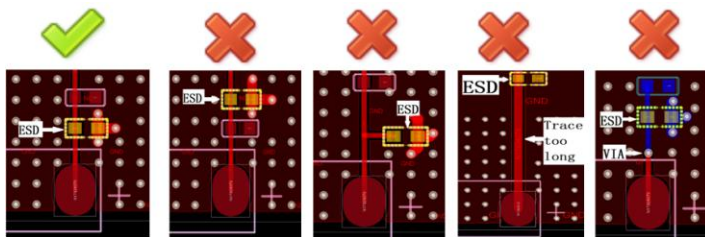
- 各接口均要根据接口类型在电源和信号上预留合适的 ESD 保护器件。
- 复位信号对地 1nF 电容靠近主控摆放，复位信号走线需要用 GND 走线保护，建议走内层并远离接口；
- 对于摄像头、显示屏、TP 触摸屏上的 reset 信号，需在模组上靠近芯片管脚的位置增加 1~100nF 电容接地。
- 关键敏感电源采用 LC/RC 滤波设计，如 PA 电源端串 1R 电阻提高喇叭 IC 的 ESD 性能。
- 部分与外部直连或者裸露的接口，如 speaker、MIC、耳机、USB、TF、按键等，必须加上合适的 ESD 器件。
- 部分电路增加独立电源开关支持软件复位，如加上 Card 供电开关可以执行软件复位 Card 操作。

5.1.2 PCB ESD 设计

PCB ESD 设计建议参考如下：

- PCB 层叠设计必须保证不少于 1L 完整的 GND 平面，所有的 ESD 泄放路径直接通过过孔连接到这个完整的 GND 平面；其他层尽可能多的铺 GND。
- POWER 平面要比 GND 平面内缩不少于 3H（H 指 POWER 平面相对 GND 平面的高度）。
- 在 PCB 四周增加地保护环；DDR 线束四周建议用 GND 保护。
- 关键信号（RESET/NMI/Clock 等）与板边距离不小于 5mm，同时必须与走线层的板边 GND 铜皮距离不小于 10mils。
- CPU/DRAM/晶振等 ESD 敏感的关键器件，离外部金属接口的距离不小于 20mm，如果小于 20mm，建议预留金属屏蔽罩，并且距离其他板边不小于 5mm。

- 关键信号（RESET/NMI/Clock 等）尽量避免与外部接口信号（USB/SD/HP 等）或经过 IO 附近的走线相邻并行走线；如果不可避免，相邻并行的走线长度不超过 100mils；IO 保护地下方尽量不要走线，在必须走线的情况下建议走内层。
- 无论外部接口信号还是内部信号，走线避免多余的桩线。
- 必须保证外部连接器（USB/SD）金属外壳接地良好，在板边直接通过过孔连接 GND 平面，每个 GND 焊盘与 GND 平面之间的连接过孔不少于 3 个。
- 对于部分 ESD 整改难度较大的 IO，可将 IO GND 独立出来，与主 GND 用磁珠连接以防止静电能量进入主 GND（需在信号质量可接受的范围内）。
- 外部接口信号（USB/SD/HP）必须连接外部 ESD 器件，进行 ESD 保护。如下图所示，外部接口信号 ESD 器件放置位置尽可能靠近外部连接器，与连接器间避免过孔；ESD 器件接地端直接通过过孔连接到 GND 平面，而且过孔数量不少于 3 个；从外部接口进来，必须最先看到 ESD 器件；ESD 器件的信号端与外部信号端必须尽可能短，尽可能宽，建议直接搭接在信号走线上。



5.1.3 软件 ESD 措施

软件 ESD 措施如下：

- 把不用的 IO 口设置为低电平。
- 加看门狗，对保护的目标状态位进行检测。
- 出现 LCD 花屏、卡顿、卡死等异常现象时，如果在硬件整改无效的情况下，可以考虑增加 LCD 软复位的策略。
- 出现 TP 失灵，不能恢复正常时，在硬件整改无效的情况下，可以考虑增加 TP 软复位的策略。
- 出现 Card 读写失败时，执行 Card 掉电上电进入录像操作。

5.1.4 结构 ESD 措施

结构 ESD 措施如下：

- 整机结构、装配工艺设计时，可通过加大 PCBA 的 GND 平面与外部金属平面的有效接触面积，如 LCD 金属保护壳，增加 ESD 的泄放平面，提升 ESD 水平。
- 如果整机有接口副板设计，通过 FPC 排线与主板连接，建议将接口 ESD 器件摆放在副板上，并将副板与 LCD 金属平面通过导电棉有效连接在一起，使其就近下地，降低 ESD 流入主板干扰到 SOC 系统工作。
- 建议在 PCB 板双面四周均匀留出多个不小于 25mm² 的 GND 裸露铜皮（此铜皮直接通过过孔与 GND 平面相连），并通过导电棉与金属平面相连接。
- 塑胶内层喷导电漆，并将其与 GND 平面有效连接，达到屏蔽的效果。
- 如果 LCD 的 FPC 排线过长易受干扰，可以将 FPC 排线贴导电布屏蔽，或者采用屏蔽的 FPC 排线。
- LCD 在 ESD 测试异常时，可能是 LCD 的 TCOM 板电路受到干扰导致，可以考虑将其贴导电布屏蔽。

- 整机在结构工艺设计时，尽量将 LCD、TP 等 ESD 敏感部件远离裸露在外面的金属接口，降低 ESD 干扰风险。
- 把端口的地与金属壳相连接而加大 ESD 的泄放空间。
- 如果结构允许，建议增加屏蔽罩，对关键电路进行屏蔽，同时必须保证屏蔽罩的各边良好接地；（避免屏蔽罩电荷积累，对内部信号放电）。
- 整机装配时，需确保 PCBA 与 LCD 平面有效的接触，增加 ESD 泄放路径。
- 在 SD card 和显示屏之间增加导电棉，增强抗静电水平。

5.2 EMI 设计

产品设计设计当初，应了解硬件系统有哪些时钟信号，对这些信号加以防护，以提高产品 EMI 性能，减少后续 DEBUG 成本。

各模块主时钟频率如表 5-1 所示。

表 5-1 各模块主时钟频率

接口	时钟	时钟频率	是否支持展频
DDR	SCKP/SCKN	DDR 各频点	支持
TWI	TWI-SCK	100KHz、200KHz、400 KHz	支持
IIS	IIS-MCLK	24.576MHz、22.5792MHz、	支持
SDIO	SDC-CLK	50MHz、100MHz、150MHz	支持
LCD	LCD-CLK	33MHz、49.5MHz、74.25MHz	支持
CSI	MCLK	24M、27MHz、37.25MHz、74.5MHz	支持



注意

- 并口 CSI 接 AHD 芯片时，MCLK 就不能展频，否则会出现图像黑白现象。
- 对时钟展频可能会影响到模块性能，展频后需要经过性能稳定性测试方可量产。

EMI 设计建议参考如下：

- 各接口按照各模块原理图和 PCB 设计要求进行。
- 硬件系统上高速时钟线建议走内层；且较高速的单端的时钟线上均要预留 RC 滤波电路，抑制高频分量，对于各模块时钟线进行包地处理。
- 差分对信号进行按照差分对要求走线，若无空间，需要满足 3W 原则。
- 排线座子合理布局，排线下方尽量不要有元器件和 PCB 走线；
- 若受结构限制，排线必须拉得很长，则建议排线座子信号线采用两两包地方式，且子板要预留与显示屏金属接地位置，排线必要时要采用带屏蔽线。
- 喇叭线采用双绞线。

6 热设计

6.1 热工作条件

热设计的最主要目的是确保电子设备中元器件的工作温度低于其最大的许可温度。

元器件的最大许可温度根据可靠性要求及失效率确定。对于半导体器件和集成电路，主要是控制结温 T_j ，热设计要保证 $T_j \leq 0.9 \cdot t_{jmax}$ ，其中 T_{jmax} 是器件的最大许可结温。

对于全志 SOC 而言，其 $t_{jmax} = 125^\circ\text{C}$ ，设计应保证 T_j 应小于 115°C 。

V853 的封装热阻参数如表 6-1 所示。

表 6-1 热阻参数

参数	符号	最小值	典型值	最大值	单位
结（即芯片）到空气环境的热阻	θ_{JA}	—	32.45	—	$^\circ\text{C}/\text{W}$
结（即芯片）到 PCB 的热阻	θ_{JB}	—	10.83	—	$^\circ\text{C}/\text{W}$
结（即芯片）到封装外壳的热阻	θ_{JC}	—	10.85	—	$^\circ\text{C}/\text{W}$

说明

热阻基于 JEDEC JESD51-2 标准给出，条件为：PCB（4L-2S2P），自然对流，no airflow。

由于实际系统设计及温度不同于 JEDEC JESD51 标准不同，仿真结果仅供参考，请以实际应用情况下的测试结果为准。

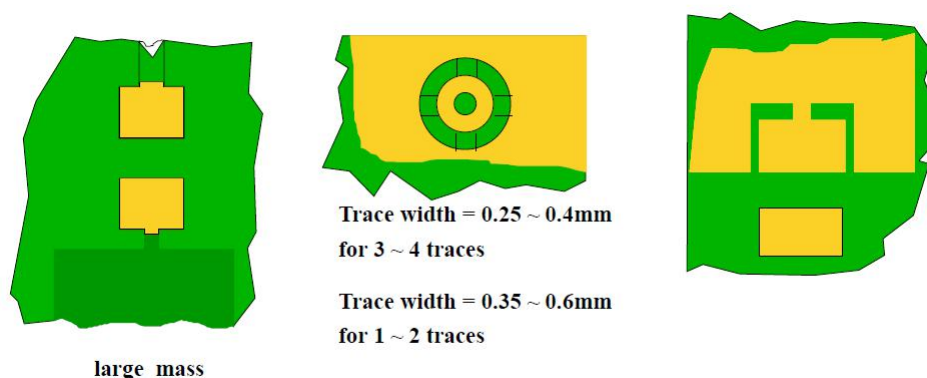
6.2 散热设计参考

6.2.1 布局布线的热设计原则

- 大功耗器件尽量靠近 PCB 板上的大面积地层铜箔，借助铜箔散热；有些 BGA 芯片的中间部分焊球是专门设计来散热的，因此一定要接到地层上；
- PCB 板上功耗大的器件，放在出风口附近；热敏感器件，放在进风口附近；不要将发热器件相互靠得太近，更不要将高的元器件挡在功耗大的器件前面；对于功率密度高的器件，建议不要靠压在 PCB 的铜箔上散热，而要立起来，用散热器散热，功耗大的器件立起来自然散热时，建议将面积大的散热面与空气流动方向平行；
- PCB 板上的元器件加散热器时，要注意使散热器的肋片方向与气流方向平行，对于确实无法保证这点的，可以使用对气流方向不敏感的指型散热器；
- 对模块内部不能够吹到风的 PCB 板，在布置元器件时，元器件与元器件之间，元器件与结构件之间应保持一定距离，以利空气流动，增强对流换热。
- 在 PCB 上布置各种元器件时，应将功率大、发热量大的元器件放在 PCB 边沿和顶部（重力 top 面），以利于散热；

- 应将不耐热的元件（如电解电容）放在靠近进风口的位置，而将本身发热而又耐热的元件（如电阻，变压器等）放在靠近出风口的位置；
- 在 PCB 上布置各种元器件时，应将功率大、发热量大的元器件放在出风口的位置；
- 对热敏感元件，在结构上应采用“热屏蔽”方法解决；
- 尽可能将热通路直接连接到热沉；
- 减少高温与低温元器件之间的辐射耦合，加热屏蔽板，形成热区和冷区；
- 尽量降低空气的温度梯度；
- 将高温元器件安装在内表面高黑度，外表面低黑度的机壳中。
- 对于 BGA 封装 IC，则要在 IC 正下方铺尽量多的铜平面，并通过散热过孔与内层和底层的大面积铜平面连接。
- 要保证印制线的载流容量，印制线的宽度必须适于电流的传导，不能引起超过允许的温升和压降。
- 较大的焊盘及大面积铜皮对管脚的散热十分有利，但在过波峰焊或回流焊时由于铜皮散热太快，容易造成焊接不良，必须进行隔热设计，常见的隔热设计方法如图 6-1 所示。

图 6-1 焊盘的隔热设计



6.2.2 散热器选择原则

- 选择合适的散热器，不仅与散热器的大小有关，而且和地域、环境、温度（季节）、通风条件及安装密度，模块工作电流大小等因素有关。
- 接触面：要求发热件与散热器要有良好接触，尽可能降低接触热阻，所以最好有大的接触面，接触面还需要有较高的光洁度，为了弥补因接触面的粗糙而导致的贴合不良，可以在中间涂抹导热脂，可以有效降低接触热阻；
- 导热材料：铜、铝都有较好的导热性能，铜的导热系数虽然优于铝，但铜有密度太高、价格贵的缺点，所以实际应用中铝材是应用最多；
- 固定方式：这个也是比较重要的一环，如果不能把发热件与散热片良好接触，也是无法有效把热量传导到散热器上的，应用中有直接用螺丝钉紧固的，也有用弹簧片压固的，可以根据需要选择设计；
- 形状：包括页片与基材的形状尺寸，要有尽可能加大散热表面积，这样散热片的热量才能快速与周围空气对流，比如说增加页片数目，在页片上做波浪纹都是好办法；基材要厚一些比较好，长而薄的散热片效率很差，在远端基本上是不起作用的了自然对流：发热器件或者散热片的热量可以是依靠；

- 自然对流散热：在使用功率器件时最重要的是如何使其产生的热量有效地散发出去，以获得高可靠性。散热的最一般方法是把器件安装在散热器上，散热板将热量辐射到周围的空气中去，以及通过自然对流来散发热量。

6.2.3 导热介质材料选择原则

为了解决功率器件与散热器间的电气绝缘问题，功率器件与散热器间应加导热绝缘材料，考虑到性价比，在散热条件不是很恶劣，如功率器件损耗较小或功率器件处于有利的通风位置时，可选用通用的导热绝缘材料 SP400，其它条件下可选用散热性能较好的 SP900S，只有在特殊情况下，才允许选用 SP2000。其性能参数如表 6-2 所示：

表 6-2 常用热界面材料参数表

材料	Sil-pad2000	Sil-pad900S	Sil-pad400	陶瓷基片
材料厚度 (mm)	0.25±0.025	0.23±0.025	0.23±0.025	0.63±0.025
导热系数 W/m.k	3.5	1.6	0.9	27
单位面积热阻 °Ccm ² /W	1.29	2.6	4.6	1.2
使用温度 °C	-60 ~ 180°C	-60 ~ 180°C	-60 ~ 180°C	-60 ~ 180°C
材料构成	硅橡胶/玻璃纤维	硅橡胶/玻璃纤维	硅橡胶/聚脂薄膜	陶瓷 + 三氧化二铝
实测热阻值	<0.4	<0.6	<0.9	<0.35



说明
实测热阻值是在采用 TO - 247 封装，在紧固压力为 12Kg.cm 下测得。

6.2.4 器件安装原则

- 元器件的安装应尽量减少元器件壳与散热器表面间的热阻，即接触热阻；
- 为尽量减小传导热阻，应采用短通路，即尽可能避免采用导热板或散热块把元器件的热量引到散热器表面，而元器件直接贴在散热器表面则是最经济、最可靠、最有效的散热措施；
- 为了改善器件与散热器接触面的状况，应在接触面涂导热介质，常用的导热介质有导热脂、导热胶、导热硅油、热绝缘胶等；
- 对器件须与散热器绝缘的情况，采用的绝缘材料应同时具有良好的导热性能，且能够承受一定的压力而不被刺穿；
- 把器件装配在散热器上时，应控制安装压力或力矩进行装配，压力不足会使接触热阻增加，压力过大会损坏器件；
- 将大功率混合微型电路芯片安装在比芯片面积大的散热片上；
- 对于多层印制线路板，应利用电镀通孔来减少通过线路板的传导热电阻。这些小孔就是热通路或称热道；
- 当利用接触界面导热时，采用下列措施使接触热阻减到最小。
 - 尽可能增大接触面积；
 - 确保接触表面平滑；

- 利用软材料接触；
- 扭紧所有螺栓以加大接触压力（注意不应残留过大应力）；
- 利用合理的紧固件设计来保证接触压力均匀。

6.3 功耗管理及散热建议

小型化的产品热设计建议如下：

- 优化物料选型建议：
 - 优化 PMU 电源设计，避免出现 PMU 有高压差的 LDO 供电存在，必要时一部分外设的供电使用外挂 DCDC 进行供电，分散 PMU 的功耗。
 - 电路设计时推荐采用 DCDC 代替 LDO 供电，禁止使用高压差的 LDO。
 - 外围器件如背光后拉摄像头推荐使用效率高的 DCDC，减少 DCDC 器件发热。
 - 对于 4M~5M IPC 档位或者发热大的机型，建议使用外挂 LDOA 进行供电，减少 SOC 的发热。
- 优化结构 PCB 布局建议：
 - 结构布局时，需考虑摄像头模组需远离发热源避免发热源影响摄像头出图质量。
 - 结构开模时，需考虑显示屏带金属壳散热的情况。
 - 需将 SOC/PMU/背光 IC 电路/线性充电电路/后拉摄像头 5V 升压电路 分散布局，避免发热源集中在一起恶化发热。
 - 显示屏面需远离发热源，防止高温出现局部黑屏现象。
- 软件温控建议：
 - 软件优化场景功耗，V853 支持多种应用场景和待机场景，不用的内部模块或者外设，可以通过软件关闭相应模块的供电。
 - 软件根据应用场景和 VF 表实时选择合适的 CPU 工作电压，以降低芯片功耗。
 - 实时监控芯片内部温度 Sensor，限定芯片最高工作温度，温度达到一定温度如 110 度时，采取温控策略降低芯片工作功耗，降低显示屏亮度&降低编码帧率等。

著作权声明

版权所有©2020 珠海全志科技股份有限公司。保留一切权利。

本文档及内容受著作权法保护，其著作权由珠海全志科技股份有限公司（“全志”）拥有并保留一切权利。

本文档是全志的原创作品和版权财产，未经全志书面许可，任何单位和个人不得擅自摘抄、复制、修改、发表或传播本文档内容的部分或全部，且不得以任何形式传播。

商标声明

、、、 Allwinner Technology（不完全列举）均为珠海全志科技股份有限公司的商标或者注册商标。在本文档描述的产品中出现的其它商标，产品名称，和服务名称，均由其各自所有人拥有。

免责声明

您购买的产品、服务或特性应受您与珠海全志科技股份有限公司（“全志”）之间签署的商业合同和条款的约束。本文档中描述的全部或部分产品、服务或特性可能不在您所购买或使用的范围内。使用前请认真阅读合同条款和相关说明，并严格遵循本文档的使用说明。您将自行承担任何不当使用行为（包括但不限于如超压，超频，超温使用）造成的不利后果，全志概不负责。

本文档作为使用指导仅供参考。由于产品版本升级或其他原因，本文档内容有可能修改，如有变更，恕不另行通知。全志尽全力在本文档中提供准确的信息，但并不确保内容完全没有错误，因使用本文档而发生损害（包括但不限于间接的、偶然的、特殊的损失）或发生侵犯第三方权利事件，全志概不负责。本文档中的所有陈述、信息和建议并不构成任何明示或暗示的保证或承诺。

本文档未以明示或暗示或其他方式授予全志的任何专利或知识产权。在您实施方案或使用产品的过程中，可能需要获得第三方的权利许可。请您自行向第三方权利人获取相关的许可。全志不承担也不代为支付任何关于获取第三方许可的许可费或版税（专利税）。全志不对您所使用的第三方许可技术做出任何保证、赔偿或承担其他义务。